

2-2

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-176149

(43)Date of publication of application : 21.08.2002

(51)Int.Cl. H01L 27/105
H01L 21/8242
H01L 27/108

(21)Application number : 2001-281229

(71)Applicant : SHARP CORP

(22)Date of filing : 17.09.2001

(72)Inventor : YAMAZAKI NOBUO
ISHIHARA KAZUYA

(30)Priority

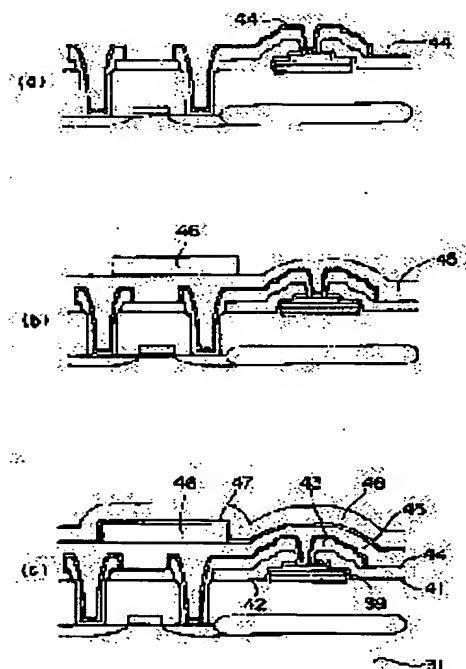
Priority number : 2000295809 Priority date : 28.09.2000 Priority country : JP

(54) SEMICONDUCTOR STORAGE ELEMENT AND ITS MANUFACTURING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor storage element of high reliability wherein deterioration of a ferroelectric substance film or a high dielectrics film is not generated, deterioration of ferroelectric substance capacitors which is to be caused by hydrogen is prevented and the ferroelectric substance capacitors excellent in characteristic are installed, and a manufacturing method of the element.

SOLUTION: In this semiconductor storage element wherein interlayer insulating films 42, 45 and metal wirings 43, 46 are formed above the dielectrics capacitors 37-40, at least one out of upper surfaces and bottom surfaces of at least one out of the interlayer insulating films 42, 45 and the metal wirings 43, 46 are covered with hydrogen diffusion barrier films 44, 47, by which hydrogen generated in processes for forming the interlayer insulating film 45 and the metal wirings 43, 46 is prevented from permeating into the dielectrics capacitors.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

 CLAIMS

[Claim(s)]

[Claim 1] A semiconductor storage element characterized by covering either [at least] one [at least] upper surface of the above-mentioned interlayer insulation film or metal wiring, or a base with a hydrogen diffusion barrier film in a semiconductor storage element with which a dielectric capacitor containing a dielectric film is formed on a semiconductor substrate, and it comes to form an interlayer insulation film and metal wiring above the above-mentioned dielectric capacitor by monolayer or multilayer.

[Claim 2] In a semiconductor storage element according to claim 1 as a dielectric film material $O(Zr_yTi(Pb_xLa_{1-x})_{1-y})_3$ ($0 \leq x, y \leq 1$), A semiconductor storage element characterized by thing of $Bi_4Ti_3O_{12}$, $BaTiO_3$, $LiNbO_3$, $LiTaO_3$ and $YMnO_3$, and $Sr_2Nb(s)_2O_7$ ($0 \leq (SrBi_2(Ta_xNb_{1-x})_2O_9) \leq x \leq 1$) for which any one was used at least.

[Claim 3] A semiconductor storage element characterized by thing $SrTiO_3$, $Ba_xSr_{1-x}TiO_3$ ($x \leq 1$), and of Ta_2O_5 for which any one was used at least as a dielectric film material in a semiconductor storage element according to claim 1.

[Claim 4] A semiconductor storage element characterized by thing of an oxide of aluminum, a nitride of aluminum, an oxidation nitride of aluminum, an oxide of Ta, an oxidation nitride of Ta, an oxide of Ti, and the oxides of Zr for which any one was used for the above-mentioned hydrogen diffusion barrier film at least in a semiconductor storage element according to claim 1.

[Claim 5] A semiconductor storage element with which the above-mentioned hydrogen diffusion barrier film is 100nm or less of 10nm or more

thickness, and an amorphous substance or grain size is characterized by being any one at least of an oxide 5nm or less of aluminum, a nitride of aluminum, an oxidation nitride of aluminum, an oxide of Ta, an oxidation nitride of Ta, an oxide of Ti, and the oxides of Zr in a semiconductor storage element according to claim 4.

[Claim 6] A dielectric capacitor containing a dielectric film is formed on a semiconductor substrate, and an interlayer insulation film and metal wiring are formed above the above-mentioned dielectric capacitor by monolayer or multilayer. It is the manufacture method of a semiconductor storage element that either [at least] one [at least] upper surface of the above-mentioned interlayer insulation film or metal wiring or a base is covered with a hydrogen diffusion barrier film. A manufacture method of a semiconductor storage element characterized by performing heat treatment of 300-degree-C or more 450-degree-C or less temperature under oxygen, nitrogen, or these mixed-gas ambient atmospheres after the above-mentioned hydrogen diffusion barrier film formation.

[Claim 7] A capacitor insulator layer which consists of a metallic-oxide dielectric film on a substrate A monolayer or multilayer metal wiring containing a conductive plug It is the semiconductor storage element equipped with the above, and it has hydrogen barrier property and a hydrogen barrier film which stands in a row to the above-mentioned conductive plug is characterized by having covered a part of bonnet and above-mentioned capacitor insulator layer [at least] for some of interlayer insulation films between the above-mentioned substrate and the above-mentioned metal wiring, or one [at least] interlayer insulation films [at least] between the above-mentioned multilayer metal wiring.

[Claim 8] A semiconductor storage element characterized by a film which has the above-mentioned hydrogen barrier property consisting of an aluminum oxide in a semiconductor storage element according to claim 7.

[Claim 9] A semiconductor storage element characterized by the above-mentioned conductive plug consisting of a tungsten or titanium nitride in a semiconductor storage element according to claim 7.

[Claim 10] A manufacture method of a semiconductor storage element of having a capacitor insulator layer which is characterized

by providing the following and which consists of a metallic-oxide dielectric film A process at which a wrap interlayer insulation film is formed for this dielectric capacitor, and at least a part forms a wrap hydrogen barrier film for the above-mentioned dielectric capacitor on this interlayer insulation film after forming a dielectric capacitor A process to which the opening of the hole which makes metal wiring counter the above-mentioned interlayer insulation film is carried out A process which lays a conductive plug underground in the above-mentioned hole

[Claim 11] A manufacture method of a semiconductor storage element characterized by the above-mentioned hydrogen barrier film consisting of an aluminum oxide in a manufacture method of a semiconductor storage element according to claim 10.

[Claim 12] A manufacture method of a semiconductor storage element characterized by the above-mentioned conductive plug consisting of a tungsten or titanium nitride in a manufacture method of a semiconductor storage element according to claim 10.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs]

This invention relates to a semiconductor storage element and its manufacture method. It is related with the non-volatile semiconductor storage element using a ferroelectric film or the semiconductor storage element using a high dielectric film, and its manufacture method more in detail. Moreover, it is related with the semiconductor storage element which is a semiconductor storage element which used the metal-oxide dielectric for details more, and can also bear reducing atmospheres, such as hydrogen, and its manufacture method.

[0002]

[Description of the Prior Art] Conventionally, the ferroelectric thin film is applied to the wide range device from having many functions, such as spontaneous polarization, a high dielectric constant, the electro-optical effect, the piezo-electric effect, and a pyroelectric effect. For example, using the pyroelectricity, it is used for an infrared linear array sensor, and is used for an ultrasonic sensor using piezoelectric [the], and is

used for the optical waveguide modulator using the electro-optical effect. Moreover, it is used for dynamic random access memory (henceforth, DRAM) in various directions using the high dielectric.

[0003] The development of the ferroelectric nonvolatile memory (FRAM) which is high-density and operates at a high speed to which semiconductor memory technology was combined with progress of thin film coating technology in recent years especially is prosperous. high-speed writing / reading appearance of the nonvolatile memory using a ferroelectric thin film are carried out, low battery actuation, and writing / reading appearance are carried out, and research and development are briskly done towards utilization from the tolerant property as memory which not only replacement of the conventional nonvolatile memory but a static RAM (SRAM) and a DRAM field can replace.

[0004] A remanence is large to such device development, and a coercive field is small to it, and a material with the big repeat resistance of polarization reversal is required for it at low leakage current. Furthermore, since reduction of operating voltage and a semiconductor micro-processing process are suited, it is desirable to realize the above-mentioned property with the thin film of 200nm or less of thickness. And as a ferroelectric material used for these uses, titanate-acid lead zirconate ($\text{Pb}_{1-x}\text{La}_x$) ($\text{Zr}_{1-y}\text{Ti}_y$) (O_3 , $0 \leq x, y \leq 1$, henceforth, PZT) and a bismuth layer structure compound thin film like $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$ ($0 \leq x \leq 1$, henceforth, SBT) fit application of a ferroelectric and a high dielectric integrated circuit.

[0005] On the other hand, in order to increase capacitor capacity to high integration of dynamic random access memory (DRAM) The tantalum acid-ized film (henceforth, Ta_2O_5) which has been used conventionally and which is a material with a dielectric constant higher than silicon oxide, and titanate-acid stolon CHUUMU (henceforth, SrTiO_3), High dielectric materials, such as barium titanate stolon CHUUMU (henceforth, TiO_3 (Ba, Sr)), tend to be applied to the future high accumulation DRAM of 256 megabits - 1 gigabits or more, and research and development are done briskly.

[0006] Drawing 11 is the cross section of the ferroelectric memory device which used the conventional one-layer metal wiring. As for 101,

as for a conductivity-type silicon substrate and 102, in drawing, an element isolation region and 103 are gate electrodes with which the gate oxide of a selection transistor and 104 become the source drain field of a transistor, and 105 becomes a polish recon word line. 106 [moreover,] -- the insulator layer layer between the first passes, and 107 -- an adhesion layer and 108 -- Pt lower electrode and 109 -- in a ferroelectric thin film and 110, the second interlayer insulation film and 113 show the first metal wiring, and, as for Pt up electrode and 111, 114 shows a surface-protection membrane layer, as for a diffusion barrier film and 112.

[0007] after it carries out memory reading appearance of the ferroelectric random-access memory which used such a ferroelectric film for the capacitor and it forms the selection transistor for writing, it deposits the insulator layer 106 between the first passes, and deposits the oxide of Ti or Ti as an adhesion layer 107 of a lower electrode. Next, the laminating of the lower electrode 108, the ferroelectric film 109, and the up electrode 110 is carried out. A capacitor is completed by processing each class by the dry etching method. Next, as a diffusion barrier film 111, in order to control the diffusion to the capacitor of hydrogen generated at the time of a reaction with an interlayer insulation film, or interlayer insulation film formation, oxides, such as Ti, aluminum, or Zr, are deposited so that the whole ferroelectric capacitor may be covered.

[0008] Next, the second interlayer insulation film 112, such as silicon oxide, is formed. Next, in order to connect between the source drains of a selection transistor with the up electrode of a capacitor with metal wiring, the opening of the contact hole is carried out and it connects using the first metal wiring 113 of aluminum etc. Finally, a surface-protection membrane layer 114 like a silicon nitride is formed, and a sinter is carried out around 400 degrees C in the ambient atmosphere containing 2 · 5% of hydrogen as the last heat treatment.

[0009]

[Problem(s) to be Solved by the Invention] As for a ferroelectric film or a high dielectric film, if hydrogen is touched, it will be easy to be returned, and since metals, such as Pt and Ir, are used, these metals have the catalyst effect which promotes a strong reduction reaction especially in the electrode which is in contact with the ferroelectric film or the high dielectric film. For

this reason, if hydrogen sticks to an electrode, it will be in an activity condition, and if spread in a ferroelectric film, a ferroelectric film will be returned easily.

[0010] On the other hand, in the manufacturing process of semiconductor memory, there is a process which hydrogen generates plentifully. The interlayer insulation film formed on a high dielectric capacitor or a ferroelectric capacitor is usually formed by the chemical vapor deposition (following CVD method) which used the silane (henceforth, SiH_4), the tetra-ethoxy silane ($\text{Si}(\text{OC}_2\text{H}_5)_4$, henceforth, TEOS), etc. as the main raw material. When these raw materials are used, a raw material decomposes at the time of formation, and hydrogen occurs. If this hydrogen is spread to a ferroelectric or a high dielectric capacitor, a ferroelectric film (high dielectric film) is returned, leakage current will increase or a remanence value will fall.

[0011] Moreover, a defect is introduced at the time of gate oxide formation of an MOS transistor, interface-state-density density increases, and the semiconductor memory device which consists of an MOS transistor and a dielectric capacitor fluctuates the threshold voltage of a transistor. As a method of decreasing such level, it is usually heat-treated in a hydrogen ambient atmosphere after device production. In the ambient atmosphere containing hydrogen, if 400-degree-C or more heat treatment of 450 degrees C or less is carried out, hydrogen will be spread, if gate oxide is reached, termination of the defect will be carried out and interface-state-density density will be reduced. A capacitor property deteriorates also by this heat treatment. As a method of controlling deterioration by this hydrogen diffusion, as shown in open patent official report: JP,8-335673,A or JP,10-294433,A, it is effective to form the diffusion barrier films 111, such as an oxide of Ti, aluminum, or Ta, so that a capacitor may be covered.

[0012] However, by memory with the degree of integration beyond 256K bit, since the layout and circumference circuit of a memory cell are complicated, metal wiring is needed more than two-layer.

[0013] The ferroelectric memory device which applied two-layer metal wiring is shown in drawing 12. As for 115, as for a conductivity-type silicon substrate and 116, in drawing 12, an element isolation region and 117 are gate electrodes with which the gate oxide of a selection

transistor and 118 become the source drain field of a transistor, and 119 becomes a polish recon word line. 120 [moreover,] -- the insulator layer between the first passes, and 121 -- an adhesion layer and 122 -- Pt lower electrode and 123 -- a ferroelectric thin film and 124 -- Pt up electrode and 125 -- in a diffusion barrier film and 126, the third interlayer insulation film and 129 show the second metal wiring, and, as for the second interlayer insulation film and 127, 130 shows a surface-protection membrane layer, as for the first metal wiring and 128.

[0014] Aluminum wiring is usually used for metal wiring, and after forming the aluminum wiring 127 of the 1st layer, the third interlayer insulation film 128 which is silicon oxide is formed with a CVD method, and the laminating of aluminum wiring deposits the aluminum thin film of a two-layer eye, uses a photoresist for a mask, and forms the aluminum wiring 129 of a two-layer eye by the reactive-ion-etching method. Even when forming aluminum wiring of the 3rd layer, similarly, an interlayer insulation film is formed on aluminum wiring of a two-layer eye, and the 3rd layer aluminum wiring is formed.

[0015] The interlayer insulation film contains hydrogen and a lot of moisture in the film, since it is formed around 400 degrees C, in an interlayer insulation film formation backward heat treatment process and the heat treatment process which it is further at the upper interlayer insulation film formation time, hydrogen ****s or moisture is desorbed from it. If even aluminum wiring diffuses especially the moisture from which it was desorbed, aluminum wiring will oxidize easily and a lot of hydrogen will generate it in this oxidation process. ($2\text{aluminum} + 3\text{H}_2\text{O} \rightarrow \text{aluminum}_2\text{O}_3 + 3\text{H}_2$ **). The yield of the hydrogen at the time of this multilayer aluminum wiring formation is abundant, it is difficult to obtain barrier property sufficient in just the diffusion barrier layer formed so that the used ferroelectric capacitor might be covered conventionally, and a capacitor property deteriorates.

[0016] Moreover, the semiconductor storage element which used for the capacitor insulator layer the dielectric film which consists of a metallic oxide is developed, and commercial production is also advanced. Especially as for FeRAM (Ferroelectric Random Access Memory) which used the ferroelectric thin film, application of a personal digital assistant or non-contact IC

KADOHE is expected from many advantages, such as the high-speed operation nature, low-power nature, and a non-volatile.

[0017] In such application, mixed loading with a microcomputer core is indispensable for advanced features and high-performance-izing. When mixed loading with a logic device is considered, a multilayer-interconnection process is not avoided. Furthermore, it will be necessary to form the plug which consists of a tungsten or titanium nitride in the beer hall which connects between wiring in detailed-ization which aimed at high integration.

[0018] However, in such a multilayer-interconnection process, the hydrogen of a large quantity occurs, the ferroelectric thin film which consists of an oxide is returned easily, the property deteriorates greatly, and when the worst, a ferroelectricity will be lost. When forming the plug of a tungsten or titanium nitride especially, generally in those CVD (Chemical Vapor Deposition) processes, introducing hydrogen as reducing gas is performed widely. For this reason, a ferroelectric capacitor is returned by hydrogen and property deterioration is caused.

[0019] In order to prevent the deterioration from such hydrogen, the cure as shown in the JP,8-335673,A official report is taken. That is, a ferroelectric capacitor tends to be covered with a titanium oxide film, an aluminum-oxide film, etc. which have hydrogen barrier property, and it is going to prevent contact in hydrogen as much as possible.

[0020] However, there is a limit in the hydrogen barrier property of these hydrogen barrier film, defense of ferroelectric capacitor right above is inadequate, as the capacitor property is shown in drawing 22, it has deteriorated greatly and it is shown that formation of FeRAM with a good property is difficult.

[0021] Then, it is made in view of the above-mentioned technical problem, and deterioration of a ferroelectric film or a high dielectric film does not arise, but this invention prevents deterioration by the hydrogen of a ferroelectric capacitor, and aims at offering a semiconductor storage element with the high reliability which has a ferroelectric capacitor with a good property, and its manufacture method.

[0022]

[Means for Solving the Problem] In order to attain the above-mentioned object, a semiconductor storage element by this invention is characterized by covering either [at least] one [at least] upper

surface of the above-mentioned interlayer insulation film or metal wiring, or a base with a hydrogen diffusion barrier film in a semiconductor storage element with which a dielectric capacitor containing a dielectric film is formed on a semiconductor substrate, and it comes to form an interlayer insulation film and metal wiring above the above-mentioned dielectric capacitor by monolayer or multilayer.

[0023] Either [at least] one [at least] upper surface of the above-mentioned above-mentioned interlayer insulation film or metal wiring or a base is covered in a semiconductor storage element of this invention by hydrogen diffusion barrier film. It can prevent hydrogen generated with a hydrogen diffusion barrier film of the above-mentioned configuration at a process which forms interlayer insulation film metallurgy group wiring infiltrating into the above-mentioned dielectric capacitor. Therefore, deterioration of a ferroelectric film or a high dielectric film does not arise, but deterioration by hydrogen of a ferroelectric capacitor is prevented, and it becomes a semiconductor storage element with high reliability which has a ferroelectric capacitor with a good property.

[0024] With a certain operation gestalt, the above-mentioned hydrogen diffusion barrier film is an oxide of aluminum, a nitride of aluminum, an oxidation nitride of aluminum, an oxide of Ta, a nitriding oxide of Ta, an oxide of Ti, or the oxide of Zr. Moreover, with a certain operation gestalt, the above-mentioned hydrogen diffusion barrier film is an oxide of aluminum, a nitride of aluminum, an oxidation nitride of aluminum, an oxide of Ta, a nitriding oxide of Ta, an oxide of Ti, or the oxide of Zr, and the thickness's being [of 10nm or more 100nm or less degree] amorphous or grain size is the thing of a microcrystal 5nm or less.

[0025] According to the semiconductor storage element of the above-mentioned operation gestalt, it can prevent hydrogen generated with a hydrogen diffusion barrier film of the above-mentioned configuration at a process which forms interlayer insulation film metallurgy group wiring infiltrating into the above-mentioned dielectric capacitor.

[0026] Furthermore, by manufacture method of a certain operation gestalt, using the sputtering method, the above-mentioned hydrogen diffusion barrier film is formed by within the limits with a substrate temperature of 25-400 degrees C, and

performs 450 degrees C [300 degrees C or more] or less of heat treatments for 60 or less minutes 30 minutes or more under oxygen, nitrogen, or a mixed ambient atmosphere of these gas. Moreover, when forming with a CVD method, substrate temperature is heated at 300 degrees C or more 450 degrees C or less, an organic metal raw material containing aluminum, Ta, Ti, or Zr is used for the main raw material, mixed gas of oxygen, nitrogen, or these gas is introduced into a reaction chamber, and it forms under a pressure of a 1 or more Torr 10 or less Torr ambient atmosphere. About Ti and Ta, the halogenides $TiCl_4$ and $TaCl_5$ of these metals may be used for the main raw material.

[0027] Moreover, a semiconductor storage element of 1 operation gestalt is set to a semiconductor storage element equipped with a capacitor insulator layer which consists of a metallic-oxide dielectric film, and a monolayer or multilayer metal wiring containing a conductive plug on a substrate. It had hydrogen barrier property and a hydrogen barrier film which stands in a row to the above-mentioned conductive plug has covered a part of bonnet and above-mentioned capacitor insulator layer [at least] for some of interlayer insulation films between the above-mentioned substrate and the above-mentioned metal wiring, or one [at least] interlayer insulation films [at least] between the above-mentioned multilayer metal wiring.

[0028] With this operation gestalt, it had hydrogen barrier property and a hydrogen barrier film which stands in a row to the above-mentioned conductive plug has covered a part of bonnet and above-mentioned capacitor insulator layer [at least] for some of interlayer insulation films between the above-mentioned substrate and the above-mentioned metal wiring, or one [at least] interlayer insulation films [at least] between the above-mentioned multilayer metal wiring. It can prevent hydrogen generated with this hydrogen barrier film by this in case a conductive plug is formed infiltrating into the above-mentioned capacitor insulator layer. Therefore, deterioration of a capacitor insulator layer by hydrogen is prevented, and a semiconductor storage element with high reliability which has a capacitor insulator layer with a good property can be offered.

[0029] Moreover, as for a semiconductor storage element of 1 operation gestalt, the above-mentioned hydrogen barrier film consists of

an aluminum oxide.

[0030] With this operation gestalt, since the above-mentioned hydrogen barrier film consists of an aluminum oxide, a film which consists of this aluminum oxide can be operated as a hydrogen barrier film which has hydrogen barrier property.

[0031] Moreover, as for a semiconductor storage element of 1 operation gestalt, the above-mentioned conductive plug consists of a tungsten or titanium nitride.

[0032] Although hydrogen occurs with this operation gestalt in case this conductive plug is formed since the above-mentioned conductive plug consists of a tungsten or titanium nitride, in this invention, it can prevent that the above-mentioned hydrogen barrier film is also about this generated hydrogen infiltrating into the above-mentioned capacitor insulator layer, and can prevent returning a capacitor insulator layer which consists of the above-mentioned metallic-oxide dielectric film by the above-mentioned hydrogen.

[0033] Moreover, a manufacture method of a semiconductor storage element of 1 operation gestalt It is the manufacture method of a semiconductor storage element of having a capacitor insulator layer which consists of a metallic-oxide dielectric film. A process at which a wrap interlayer insulation film is formed for this dielectric capacitor, and at least a part forms a wrap hydrogen barrier film for the above-mentioned dielectric capacitor on this interlayer insulation film after forming a dielectric capacitor, It had a process to which the opening of the hole which makes metal wiring counter the above-mentioned interlayer insulation film is carried out, and a process which lays a conductive plug underground in the above-mentioned hole.

[0034] With this operation gestalt, since at least a part forms a wrap hydrogen barrier film for the above-mentioned dielectric capacitor on this interlayer insulation film after forming a wrap interlayer insulation film for the above-mentioned dielectric capacitor, it can prevent hydrogen generated at a process which lays a next conductive plug underground as this hydrogen barrier film is also infiltrating into a dielectric capacitor.

[0035] Moreover, the above-mentioned hydrogen barrier film consists of an aluminum oxide by manufacture method of a semiconductor storage element of 1 operation gestalt.

[0036] With this operation gestalt, since the above-mentioned hydrogen barrier film consists of an aluminum oxide, a film which consists of this aluminum oxide can be operated as a hydrogen barrier film which has hydrogen barrier property.

[0037] Moreover, as for a manufacture method of a semiconductor storage element of 1 operation gestalt, the above-mentioned conductive plug consists of a tungsten or titanium nitride.

[0038] Although hydrogen occurs with this operation gestalt in case this conductive plug is formed since the above-mentioned conductive plug consists of a tungsten or titanium nitride, with this operation gestalt, it can prevent that the above-mentioned hydrogen barrier film is also about this generated hydrogen infiltrating into the above-mentioned capacitor insulator layer, and can prevent returning a capacitor insulator layer which consists of the above-mentioned metallic-oxide dielectric film by the above-mentioned hydrogen.

[0039]

[Embodiment of the Invention] Hereafter, this invention is explained to details based on the gestalt of operation.

[0040] (1st operation gestalt) The 1st operation gestalt which is a planar mold ferroelectric memory device using two-layer aluminum wiring is explained below using drawing 1 and manufacturing process drawing of drawing 2.

[0041] By the well-known method, the element isolation region 32, the gate oxide 33 of a selection transistor, the source drain field 34 of a selection transistor, and the gate electrode 35 used as a polish recon word line are formed on the Si substrate 31, after covering by the insulator layer 36 between the first passes which consists of well-known BPSG (drawing 1 (a)), by the well-known sputtering method, the 30nm Ti oxide 37 is formed as an adhesion layer of a lower electrode, and 100-200nm of Pt lower electrodes 38 On this lower electrode, the ferroelectric thin film 39 which consists of a SBT thin film is formed as a ferroelectric thin film. The formation method of a SBT thin film is as follows.

[0042] Tantalum ethoxide ($\text{Ta}(\text{OC}_2\text{H}_5)_5$), bismuth 2 ethyl hexanate ($\text{Bi}_2(\text{C}_7\text{H}_{15}\text{COO})$), and stolon CHUUMU 2 ethyl hexanate ($\text{Sr}_2(\text{C}_7\text{H}_{15}\text{COO})$) were used as a start raw material of solution composition. In order to carry out weighing capacity of the tantalum ethoxide, to make it dissolve into 2-ethyl hexanate and to promote a reaction, it agitated heating from 100

degrees C to 120 degrees C, and was made to react for 30 minutes. Then, the ethanol and the moisture which were generated by the reaction were removed at 120 degrees C. Optimum dose was added so that stolon CHUUMU 2 hexa NETO which the 20 to 30ml xylene was made to dissolve in this solution might be set to $Sr/Ta=1/2$, and heating churning was carried out for 30 minutes at 125 to a maximum of 140 degrees C. Then, heating churning of the bismuth 2-ethyl hexanate which the 10ml xylene was made to dissolve in this solution was carried out for 10 hours at 130 to a maximum of 150 degrees C so that it might be set to $Sr/Bi/Ta=1/2.4/2$. [optimum dose **** and]

[0043] Next, in order to remove the xylene which used the alcohol and water of low molecular weight as a solvent from this solution, it distilled at the temperature of 130-150 degrees C for 5 hours. Then, it adjusted so that the concentration of $SrBi_2Ta_2O_9$ of a solution might become 0.1 mol/l, and this was made into the precursor solution. In addition, by being limited to the above-mentioned thing, the above-mentioned start raw material should just fully dissolve these raw materials also about a solvent.

[0044] Next, this precursor solution was used and the ferroelectric SBT thin film 39 was formed at the following processes. First, on Si substrate, the above-mentioned precursor solution was dropped and it applied with the well-known spin coat method. Then, in order to make a solvent remove thoroughly, it dried on the hot plate heated at 250 degrees C, and, subsequently calcinated below 600 degrees C or more 700 degrees C with the electric furnace. The SBT thin film 39 which are a 3 times repeat and a ferroelectric thin film of 200nm of thickness about this membrane formation process was formed.

[0045] Next, well-known ultraviolet-rays cutback dew using a photoresist after thickness forms the Pt up electrode 40 which is 100nm (drawing 1 (b)) Using Cl_2 gas as etching gas, the etching gas pressure was maintained at 1.5mTorr(s), by microwave excitation, the plasma was generated, RF bias was impressed to the substrate which set the wafer, and Pt was mainly processed. Then, it heat-treated in 700-800 degrees C and an oxygen ambient atmosphere with the electric furnace. Next, the SBT film and the lower electrode were processed using the well-known photolithography method and the describing [above] dry etching method using the photoresist. It was mainly

processed, using C_2F_6 gas as etching gas.

[0046] Next, as a diffusion barrier film 41 of H_2 , the oxide of aluminum or the nitride of aluminum was formed so that a capacitor electrode and a ferroelectric film might be covered (drawing 1 (c)). The DC magnetron sputtering method, the RF magnetron sputtering method, or the electron cyclotron resonance was formed by the sputtering method using the source of the plasma using aluminum target or the oxide target of aluminum, and the nitride target of aluminum. Substrate temperature was held at 25 degrees C or more 400 degrees C or less, and the $O_2/(O_2+Ar)$ rate of a gas ratio was introduced into the membrane formation room in 0.1 to 0.5, and formed membranes in the range of 1mTorr to 20mTorr(s) in the pressure.

[0047] The thickness of a diffusion barrier film set to 10nm or more 100nm or less, is 400 degrees C from the substrate temperature of 100 degrees C, and formed the oxide of aluminum. A diffusion barrier film is not limited to the oxide of aluminum, and the nitride of aluminum, and the barrier effect with the same said also of the oxide of Ta, the nitriding oxide of Ta, the oxide of Ti, or the oxide of Zr is acquired.

[0048] Next, it is an organic silicon compound (by the ordinary pressure CVD method or TEOS to which a tetra-ethoxy silane ($Si(OC_2H_5)_4$, henceforth, TEOS) and O_3 were made to react, and the plasma-CVD method to which O_2 was made to react, the oxide film was formed by 500nm or more 600nm or less.) as the second interlayer insulation film 42 on the capacitor covered with the diffusion barrier film 41.

[0049] By the well-known photolithography method and the well-known dry etching method, the opening of the contact hole with a diameter of 0.8 micrometers was carried out on a capacitor up electrode and the source of a transistor, and a drain. Then, aluminum of 700nm of thickness was formed by the DC magnetron sputtering method. aluminum was processed by the well-known photolithography method and the dry etching method, and the first metal wiring 43 was formed (drawing 1 (d)).

[0050] Next, the diffusion barrier film 44 was formed so that the first metal wiring 43 and the second interlayer insulation film 42 might be covered (drawing 2 (a)). The oxide of aluminum or the nitride of aluminum was used for the diffusion barrier film. The thickness of the diffusion barrier film 44 set to 10nm or more

100nm or less, and formed the oxide of aluminum at 400 degrees C from the substrate temperature of 100 degrees C. The membrane formation method and membrane formation conditions are as above-mentioned. A diffusion barrier film is not limited to the oxide of aluminum, and the nitride of aluminum, and the barrier effect with the same said also of the oxide of Ta, the nitriding oxide of Ta, the oxide of Ti, or the oxide of Zr is acquired.

[0051] Next, 600-1000nm of Si oxide films was formed by the plasma-CVD method to which the ordinary pressure CVD method to which TEOS and ozone were made to react, TEOS, or SiH₄ and O₂ were made to react as the third interlayer insulation film 45. Then, the opening of the 0.8-micrometer beer hall was carried out by the well-known photolithography method and the well-known dry etching method. Then, aluminum film of 700nm of thickness was formed by the DC magnetron sputtering method. aluminum was processed by the well-known photolithography method and the dry etching method, and the second metal wiring 46 was formed (drawing 2 (b)). Next, the diffusion barrier film 47 was formed so that the second metal wiring 46 and the third interlayer insulation film 45 might be covered. The diffusion barrier film used the oxide of aluminum, or the nitride of aluminum like the above.

[0052] Finally, 500nm of SiN films was formed by the well-known plasma-CVD method as a surface-protection film 48 (drawing 2 (c)).

[0053] Thus, the ferroelectric property of the produced memory cell was measured using the well-known SOYA tower circuit. The hysteresis characteristic of the ferroelectric capacitor after the last protective coat formation when not covering aluminum wiring with a diffusion barrier film is shown in drawing 3. Moreover, the hysteresis characteristic of the ferroelectric capacitor after the last protective coat formation at the time of covering aluminum wiring with the diffusion barrier film of aluminum oxide is shown in drawing 4. Two-layer aluminum wiring was applied also about which capacitor. The value of remanence value $P_r=8.2\mu\text{C}/\text{cm}^2$ and coercive electric field $E_c=40\text{ kV}/\text{cm}$ which applied the diffusion barrier film was acquired to the remanence value of an up electrode size 1.5micrometer angle of the ferroelectric capacitor which has not applied the diffusion barrier film to aluminum wiring decreasing to $P_r=0.5\text{--}1.3\mu\text{C}/\text{cm}^2$. Actuation sufficient as a

capacitor of ferroelectric random-access memory was checked.

[0054] In addition, in the gestalt of this operation, although used for the ferroelectric random-access memory which applied two-layer aluminum wiring, even if this invention is not limited to this and applies the diffusion barrier also about multilayer aluminum wiring further, it is effective.

[0055] Moreover, although the SBT thin film was used as a ferroelectric film in the gestalt of this operation This invention is not what is limited to this. $(\text{Pb}_x\text{La}_{1-x})$ It is also possible to use O₃, Bi₄Ti₃O₁₂, BaTiO₃, LiNbO₃, LiTaO₃ and YMnO₃, and Sr₂Nb₂O₇ ($0 < (\text{SrBi}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_9) \leq x, y \leq 1$) (Zr_yTi_{1-y}).

[0056] Furthermore, although explained in the gestalt of this operation, using Pt thin film as a material of an electrode, it is also possible for this invention not to be limited to this and to use PtRh, PtRhO_x, Ir, IrO₂ and RuO₂, RhO_x, and LaSrCoO₃ grade.

[0057] (2nd operation gestalt) The operation gestalt which is a stack mold ferroelectric memory device using two-layer aluminum wiring is explained below using drawing 5 and manufacturing process drawing of drawing 6.

[0058] By the well-known method, the element isolation region 50, the gate oxide 51 of a selection transistor, the source drain field 52 of a transistor, and the gate electrode 53 used as a word line are formed on the Si substrate 49, and flattening of the BPSG film is carried out by the bonnet and well-known chemical mechanical gridding by the insulator layer 54 between the first passes which consists of well-known BPSG. Next, after carrying out the opening of the contact hole with a diameter of 0.3 micrometers to the source field of a transistor, the polish recon film with which the phosphorus of 300nm or more of thickness was added is formed, by well-known chemical mechanical gridding, only the inside of a contact hole is polished so that polish recon may be embedded, and a plug 55 is completed (drawing 5 (a)).

[0059] Next, laminating formation of the cascade screen 56 of a 100nm TiN film was carried out by the DC magnetron sputtering method from Ti film of 20nm of thickness, and 50nm of thickness. Instead of a TiN film, a TaSiN film, a TiAlN film, a TiSiN film, etc. may be used. Next, the Pt film 57 used as the lower electrode of a capacitor was formed by the thickness of 200nm. Like the 1st operation gestalt, the SBT film 58 and the up Pt

electrode 59 were formed as a ferroelectric film (drawing 5 (b)), the up electrode was processed into 1.5-micrometer angle using well-known photolithography technology and the dry etching method, and it considered as the capacitor electrode. Then, it heat-treated in 700-800 degrees C and an oxygen ambient atmosphere with the electric furnace. Next, the SBT film and the lower electrode were processed using the well-known photolithography method and the describing [above] dry etching method using the photoresist.

[0060] Next, as a diffusion barrier film 60 to H₂, the oxide of aluminum or the nitride of aluminum was formed so that a capacitor electrode and a ferroelectric film might be covered (drawing 5 (c)). A diffusion barrier film is not limited to the oxide of aluminum, and the nitride of aluminum, and the barrier effect with the same said also of the oxide of Ta, the nitriding oxide of Ta, the oxide of Ti, and the oxide of Zr is acquired.

[0061] Next, the second interlayer insulation film 61 was formed on the capacitor covered with the diffusion barrier film. The opening of the contact hole was carried out by the well-known photolithography method and the dry etching method on the capacitor up electrode. Then, aluminum film of 700nm of thickness was formed by the DC magnetron sputtering method. By the well-known photolithography method and the well-known dry etching method, aluminum was processed and the first metal wiring 62 was formed (drawing 5 (d)).

[0062] Next, the diffusion barrier film 63 was formed so that the first metal wiring 62 and the second interlayer insulation film 61 might be covered (drawing 6 (a)). The oxide of aluminum or the nitride of aluminum was used as this diffusion barrier film. The thickness of a diffusion barrier film set to 10nm or more 100nm or less, and formed the oxide of aluminum at 400 degrees C from the substrate temperature of 100 degrees C. The membrane formation method and membrane formation conditions are as above-mentioned. A diffusion barrier film is not limited to the oxide of aluminum, and the nitride of aluminum, and the barrier effect with the same said also of the oxide of Ta, the nitriding oxide of Ta, the oxide of Ti, and the oxide of Zr is acquired.

[0063] Next, Si oxide film was formed by the thickness of 600-1000nm as the third interlayer insulation film 64. Then, the opening of the beer hall was carried out by the well-known

photolithography method and the dry etching method. Then, aluminum film of 700nm of thickness was formed by the DC magnetron sputtering method. aluminum was processed by the well-known photolithography method and the dry etching method, and the second metal wiring 65 was formed (drawing 6 (b)).

[0064] Next, the diffusion barrier film 66 was formed so that the second metal wiring 65 and the third interlayer insulation film 64 might be covered. As this diffusion barrier film, the oxide of aluminum or the nitride of aluminum was used like the above. Finally, the SiN film was formed by the thickness of 500nm by the plasma-CVD method well-known as a surface-protection film 67 (drawing 6 (c)).

[0065] The value of remanence value $Pr=7.9\mu C/cm^2$ and coercive electric field $Ec=39\text{ kV/cm}$ was acquired by applying a diffusion barrier film also about aluminum wiring like the above-mentioned 1st operation gestalt. Actuation sufficient as a capacitor of ferroelectric random-access memory was checked.

[0066] In addition, although the gestalt of this operation was used for the ferroelectric random-access memory which applied two-layer aluminum wiring, even if this invention is not limited to this and applies a diffusion barrier film also about multilayer aluminum wiring further, it is effective.

[0067] Moreover, in the gestalt of this operation, although the SBT thin film was used as a ferroelectric film This invention is not what is limited to this. (Pb_xLa_{1-x}) It is also possible to use O_3 , $Bi_4Ti_3O_{12}$, $BaTiO_3$, $LiNbO_3$, $LiTaO_3$ and $YMnO_3$, and $Sr_2Nb_2O_7$ ($0 < (SrBi_2(TaxNb_{1-x})_2O_9) \leq x, y \leq 1$) (Zr_yTi_{1-y}).

[0068] Furthermore, although explained in the gestalt of this operation, using Pt thin film as a material of an electrode, it is also possible for this invention not to be limited to this and to use PtRh, PtRhOx, Ir, IrO₂ and RuO₂, RhOx, and LaSrCoO₃ grade.

[0069] (3rd operation gestalt) The operation gestalt which is a stack mold quantity dielectric memory device using two-layer aluminum wiring is explained below using drawing 7 and manufacturing process drawing of drawing 8 .

[0070] After forming the element isolation region 69, the gate oxide 70 of a selection transistor, the source drain field 71 of a transistor, the gate electrode 72 used as a word line, and a bit line 73 on the Si substrate 68 by the well-known method,

flattening of the BPSG film is carried out by the bonnet and well-known chemical mechanical grinding by the insulator layer 74 between the first passes which consists of well-known BPSG (Borophosphosilicate glass) (drawing 7 (a)).

[0071] Next, the polish recon by which the opening of the diameter contact hole of 0.3 micrometers was carried out to the source field of a transistor, and the phosphorus of 300nm or more of thickness was added the back is formed, by well-known chemical mechanical grinding, only the inside of a contact hole is polished so that polish recon may be embedded, and a plug 75 is completed (drawing 7 (b)).

[0072] Next, after depositing the Ti film 76 of 20nm of thickness by the DC magnetron sputtering method, the laminating of the TiN film 77 of 100nm of thickness was carried out by the DC magnetron sputtering method. A TiAlN film and a TiSiN film may be used instead of a TiN film. Next, Pt film used as the lower electrode 78 of a capacitor is formed by the thickness of 200nm (drawing 7 (c)). Oxidation RUTENYUUMU may be used instead of Pt. Well-known ultraviolet-rays cutback dew using a photoresist

[0073] Next, barium titanate stolon CHUUMU (henceforth, $\text{TiO}_3 (\text{BaSr } 1-x)$) of 30nm of thickness is formed in the whole surface as a high dielectric thin film 79. Next, well-known ultraviolet-rays cutback dew using a photoresist after thickness forms the Pt up electrode 80 which is 100nm (drawing 7 (e)) RF bias was mainly impressed and processed into the substrate under the pressure of 1.5mTorr, using Cl_2 gas as etching gas of an electrode and $\text{TiO}(\text{BaSr } 1-x)_3$ film.

[0074] Next, like the 1st and 2nd operation gestalt, as a diffusion barrier film 81, the oxide of aluminum or the nitride of aluminum is formed so that a capacitor electrode and a high dielectric film may be covered. Next, it is an organic silicon compound (the oxide film was formed by the thickness of 500-600nm by the ordinary pressure CVD method or TEOS to which a tetra-ethoxy silane ($\text{Si} (\text{OC}_2\text{H}_5)_4$, henceforth, TEOS) and O_3 were made to react, and the plasma-CVD method to which O_2 was made to react (drawing 8 (a).) as the second interlayer insulation film 82 on the capacitor covered with the diffusion barrier film.

[0075] On the capacitor up electrode and the bit line, the opening of the contact hole with a diameter of 0.25 micrometers was carried out by the well-known photolithography method and the well-known dry etching method. Then, aluminum

film of 700nm of thickness was formed by the DC magnetron sputtering method. By the well-known photolithography method and the well-known dry etching method, aluminum is processed and the first metal wiring 83 is formed.

[0076] Next, the diffusion barrier film 84 is formed so that the second interlayer insulation film 82 and the first metal wiring 83 may be covered (drawing 8 (b)). The diffusion barrier film was formed by the same method as the 1st operation gestalt.

[0077] Next, it is an organic silicon compound (by the ordinary pressure CVD method or TEOS to which a tetra-ethoxy silane ($\text{Si} (\text{OC}_2\text{H}_5)_4$, henceforth, TEOS) and O_3 were made to react, and the plasma-CVD method to which O_2 was made to react, Si oxide film was formed by the thickness of 600-1000nm.) as the third interlayer insulation film 85. Then, the opening of the 0.25-micrometer beer hall was carried out by the well-known photolithography method and the well-known dry etching method. Then, aluminum film of 700nm of thickness was formed by the DC magnetron sputtering method. By the well-known photolithography method and the well-known dry etching method, aluminum was processed and the second metal wiring 86 was formed (drawing 8 (c)). Next, the diffusion barrier film 87 is formed so that the third interlayer insulation film 85 and the second metal wiring 86 may be covered. The diffusion barrier film was formed by the same method as the 1st operation gestalt (drawing 8 (d)).

[0078] Finally, the SiN film was formed by the thickness of 500nm by the well-known plasma-CVD method as a surface-protection film 88.

[0079] Thus, as for the polarization value of the produced memory cell, 10microC/cm² and a good value were acquired in applied-voltage 1V. Moreover, it was as good as 1×10^{-8} A/cm² to applied-voltage**2V also about leakage current.

[0080] In addition, although the gestalt of this operation was used for the high dielectric memory which applied two-layer aluminum wiring, even if this invention is not limited to this and applies a diffusion barrier film also about multilayer aluminum wiring further, it is effective.

[0081] Moreover, in the gestalt of this operation, although the BST (barium titanate stolon CHUUMU, $\text{TiO}(\text{Ba, Sr } 3)$) thin film was used as a high dielectric film, it is also possible for this invention not to be limited to this and to use for

the capacitor using a tantalic acid-ized film (Ta 2O₅), STO (titanic-acid stolon CHUUMU SrTiO₃), etc.

[0082] Furthermore, in the gestalt of this operation, although explained using Pt thin film as a material of an electrode, it is also possible for this invention not to be limited to this and to use PtRh, PtRhOx, Ir, IrO₂ and RuO₂, RhOx, and LaSrCoO₃ grade.

[0083] (4th operation gestalt) In the ferroelectric memory device of the 1st operation gestalt and the 2nd operation gestalt, and the high dielectric memory device of the 3rd operation gestalt, a diffusion barrier film may be formed also about the pars basilaris ossis occipitalis of metal wiring. The operation gestalt applied to the planar mold ferroelectric memory device using two-layer aluminum wiring is explained below using drawing 9 and manufacturing process drawing of drawing 10.

[0084] A selection transistor, a ferroelectric capacitor, and the diffusion barrier film 89 are formed like the 1st operation gestalt (drawing 9 (a)). Next, after forming the second interlayer insulation film 90, the diffusion barrier film 91 is formed (drawing 9 (b)). As this diffusion barrier film, the oxide of aluminum or the nitride of aluminum is formed so that a capacitor electrode and a ferroelectric film may be covered. This diffusion barrier film is not limited to the oxide of aluminum, and the nitride of aluminum, and the barrier effect with the same said also of the oxide of Ta, the nitriding oxide of Ta, the oxide of Ti, and the oxide of Zr is acquired.

[0085] next, the photolithography method and the dry etching method it is well-known on the source of a transistor, and a drain -- diffusion -- a barrier film / the second interlayer insulation film / diffusion barrier film / insulator layer between the first passes is etched, and the opening of the contact hole with a diameter of 0.8 micrometers is carried out. Moreover, on a capacitor up electrode, by the well-known photolithography method and the well-known dry etching method, three layers of a diffusion barrier film / the second interlayer insulation film / diffusion barrier film are etched, and the opening of the contact hole with a diameter of 0.8 micrometers is carried out.

[0086] Then, aluminum film of 700nm of thickness is formed by the DC magnetron sputtering method, by the well-known photolithography method and the well-known dry etching method, aluminum and the diffusion

barrier are processed and the first metal wiring 92 is formed (drawing 9 (c)).

[0087] Next, like the 1st operation gestalt, the diffusion barrier film 93 is formed by the sputtering method (drawing 10 (a)), and the third interlayer insulation film 94 is formed. Furthermore, in order to form the diffusion barrier film 95 (drawing 10 (b)) and to connect the first metal wiring and the second metal wiring, by the well-known photolithography method and the well-known dry etching method, three layers of a diffusion barrier film / interlayer insulation film / diffusion barrier film are etched, and the opening of the beer hall with a diameter of 0.8 micrometers is carried out. By the DC magnetron sputtering method, aluminum film of 700nm of thickness is formed, aluminum is reached by the well-known photolithography method and the dry etching method, the diffusion barrier is processed, and the second metal wiring 96 is formed. Like the 1st and 2nd operation gestalt, the diffusion barrier film 97 is formed by the sputtering method, finally the surface-protection film 98 is formed, and it completes (drawing 10 (c)).

[0088] (5th operation gestalt) In the 1st and the ferroelectric memory device of the 2nd operation gestalt, and the high dielectric memory device of the 3rd operation gestalt, an electric furnace performs temperature of 450 degrees C or less of 300 degrees C or more, and processing not more than more than time amount 30 minute 60 minute under oxygen, nitrogen, or these mixed-gas ambient atmospheres after aluminum oxide, the nitride of aluminum, or the oxidation nitridation of aluminum as a diffusion barrier film. After membrane formation, while it is the microcrystal which consisted of an amorphous substance or grain size of 5nm or less and the film presentation became a stable stoichiometric composition ratio by heat treatment, membranous compactness and insulation improved and the diffusion barrier property of good hydrogen was obtained. A diffusion barrier film is not limited to the oxide of aluminum, and the nitride of aluminum, and the barrier effect with the same said also of the oxide of Ta, the nitriding oxide of Ta, the oxide of Ti, and the oxide of Zr is acquired.

[0089] Also in these films, by performing the above-mentioned heat treatment after formation, diffusion barrier property is remarkable and improvement was found. When heat treatment of a diffusion barrier film heat-treated by all

diffusion barrier films or at least one or more diffusion barrier films, it has controlled deterioration by hydrogen.

[0090] According to the ferroelectric memory device or high dielectric memory device of this invention After capacitor formation and metal wiring formation, the oxide of aluminum whose thickness is 10-100nm, the nitride of aluminum, the oxidation nitride of aluminum, the oxide of Ta, and the oxidation nitride of Ta are formed. Under oxygen, nitrogen, or these mixed-gas ambient atmospheres It becomes possible by performing temperature of 300-450 degrees C, and heat treatment not more than more than time amount 30 minute 60 minute to form a highly reliable ferroelectric memory device or a highly reliable high dielectric memory device.

[0091] (6th operation gestalt) Next, with reference to drawing 14 · drawing 17 , and drawing 13 , the operation gestalt of the manufacture method of the semiconductor device of this invention is explained in order.

[0092] First, as shown in drawing 14 , the 1st interlayer insulation film 5 is formed on the semiconductor substrate 1 with which the MOS (Metal Oxide Semiconductor) transistor T which consists of a gate electrode 2, and the source/drain 3 was formed in the field surrounded by isolation 4.

[0093] and this 1st interlayer insulation film 5 -- CMP (Chemical Mechanical Polishing) -- flattening is performed by law.

[0094] Next, as shown in drawing 15 , the titanium oxide film 6 used as an adhesion layer is formed on this 1st interlayer insulation film 5 by which flattening was carried out, and the platinum film 7 used as the lower electrode of a ferroelectric capacitor is formed on that titanium oxide film 6. This titanium oxide film 6 and the platinum film 7 form membranes by the well-known sputtering method, respectively.

[0095] Then, the ferroelectric film 8 which consists of SrBi₂Ta₂O₉ (following, SBT) which is a ferroelectric with the spin coat method shown below is formed. That is, one-layer spreading [50nm thickness degree] of the solution (the mixing ratio of a solution; Sr/Bi/Ta=8/22/20) with which the SBT configuration element was contained is carried out on a spin coat, and after performing the desiccation process for 5 minutes at 250 degrees C, it crystallizes by heat treatment in the oxygen ambient atmosphere for 30 minutes at the substrate temperature of 750-800 degrees

C.

[0096] The SBT film of desired thickness is obtained by carrying out by repeating the process by this spin coat method. With this operation gestalt, the repeat and the 200nm SBT film were formed for this process 4 times. Then, the platinum film 9 used as an up electrode is formed by the sputtering method. Then, using the well-known photolithography method and the dry etching method, sequential processing of the up electrode 9, the ferroelectric film 8, the lower electrode 7, and the adhesion layer 6 is carried out, and the ferroelectric capacitor SC as shown in drawing 15 is formed. This ferroelectric capacitor SC consists of the up electrode 9, the ferroelectric film 8, a lower electrode 7, and an adhesion layer 6.

[0097] Next, as shown in drawing 16 , the 2nd interlayer insulation film 10 which consists of a silicon oxide film on the 1st interlayer insulation film 5 of the above and the above-mentioned ferroelectric capacitor SC is formed with a CVD method. Then, the aluminum-oxide film 11 is formed by the reactant RF sputtering method as a hydrogen barrier film on this 2nd interlayer insulation film 10 at 20-300nm thickness.

[0098] Here, with reference to drawing 21 , the result of having investigated the hydrogen barrier property of the aluminum oxide film 11 used with this operation gestalt is shown. The curve shown in the lower berth of drawing 21 shows signs that the hydrogen yield is increasing with the increment in substrate temperature, on the substrate in the condition that the aluminum-oxide film is not formed on the substrate. On the other hand, the curve shown in the upper case of drawing 21 shows the hydrogen yield measured on this aluminum-oxide film, where the aluminum-oxide film 11 is formed on the above-mentioned substrate. If the curve of a stage is besides compared with the curve of the lower berth, fully carrying out the barrier of the hydrogen which the aluminum-oxide film 11 generates from a substrate to the substrate temperature of about 450 degrees C is shown. That is, it turns out that the aluminum oxide film used with this operation gestalt is functioning as a hydrogen barrier film. In addition, if it stops fully functioning as the thickness of the above-mentioned aluminum oxide film 11 being 20nm or less as a hydrogen barrier film and becomes a thick film 300nm or more at reverse, the stress which an aluminum oxide film has will

have an adverse effect on the ferroelectric capacitor SC.

[0099] In the case of this operation gestalt, thickness of the aluminum-oxide film 11 was set to 50nm.

[0100] Next, as shown in drawing 17, the contact hole 12 which leads to the source / drain 3 of MOS transistor T is formed in the aluminum-oxide film 11, the 2nd interlayer insulation film 5, and the 1st interlayer insulation film 10 using the photolithography method and the dry etching method. Then, titanium 13 and about 50nm of titanium nitrides 14 are formed in order by the sputtering method as a barrier metal to the wall of this contact hole 12, respectively. Then, the tungsten plug 15 is formed with the CVD method shown below in a contact hole 12.

[0101] As the manufacture method of this tungsten plug 15, first, it holds in substrate temperature of about 400 degrees C, and after introducing WF₆ there as material gas, introducing SiH₄ into it as reducing gas and this forming an initial layer 100nm or less in it, reducing gas is changed into H₂ from SiH₄, and a tungsten is grown up.

[0102] In order to prevent the reaction of WF₆ and a substrate, SiH₄ is used for this initial layer as reducing gas, and after the danger of that reaction disappears, H₂ from which high membrane formation speed is obtained is used for it as reducing gas. In the case of which, the hydrogen of a large quantity will be introduced, or it will generate.

[0103] With this operation gestalt, without these hydrogen giving a damage to Capacitor SC, since the aluminum-oxide film 11 as the above-mentioned hydrogen barrier film which has high hydrogen barrier property is formed on the 2nd interlayer insulation film 10, a tungsten is formed and the tungsten plug 15 can be formed.

[0104] Then, the tungsten which exists in addition to the inside of a contact hole 12 and titanium nitride, and titanium are removed by the etchback method which is well-known technology.

[0105] Then, as shown in drawing 13, the photolithography method and the dry etching method are used for the aluminum-oxide film 11 and the 2nd interlayer insulation film 10, and the hole 16 which is open for free passage to the up electrode 9 of the ferroelectric capacitor SC is formed.

[0106] Then, the semiconductor storage element

which forms the metal wiring 17 of the 1st layer in a hole 16 and on the aluminum-oxide film 11, and targets it by the sputtering method, the photolithography method, and the dry etching method is obtained.

[0107] In addition, with the above-mentioned operation gestalt, as a ferroelectric film 8 which consists of a metallic-oxide dielectric film, although SBT was used, even if it uses materials, such as SrBi₂(Ta, Nb)2O₉, O(Zr (Pb, La), Ti) 3, and TiO₃ that shows paraelectricity at a room temperature (Ba, Sr), the same effect is acquired.

[0108] moreover -- although the spin coat method was used as the membrane formation method of the ferroelectric film 8 -- the sputtering method, a vacuum deposition method, and MOCVD -- law etc. may be used.

[0109] Furthermore, with the above-mentioned operation gestalt, although the tungsten plug 15 was used as a conductive plug, even if it uses the titanium nitride plug which uses and forms hydrogen reduction as a conductive plug in addition to a tungsten, the same effect is acquired. [0110] (7th operation gestalt) Next, the manufacture method of the semiconductor device as 7th operation gestalt of this invention is explained.

[0111] This 7th operation gestalt contains the above-mentioned 6th operation gestalt explained with reference to drawing 13 - drawing 17, and has the manufacturing process shown in drawing 18 - drawing 20 in order following on this 6th operation gestalt. Therefore, this 7th operation gestalt explains the process which follows the above-mentioned 6th operation gestalt.

[0112] As succeedingly shown in drawing 18 from drawing 17, the 3rd interlayer insulation film 18 is formed by the CVD method and the etchback method on the metal wiring 17 and the aluminum oxide film 11. Etchback here aims at flattening of the 3rd interlayer insulation film 18.

[0113] Next, as shown in drawing 18, the aluminum-oxide film 19 as a hydrogen barrier film is formed by the reactant RF sputtering method on the 3rd interlayer insulation film 18 of the above at 20-300nm thickness. If it stops fully functioning as the thickness of this aluminum oxide film 19 being 20nm or less as a hydrogen barrier film and becomes a thick film 300nm or more conversely, the stress which the aluminum oxide film 19 has will have an adverse effect on the ferroelectric capacitor SC.

[0114] Next, as shown in drawing 19, the beer

hall 20 which is open for free passage to the metal wiring layer 17 of the 1st layer is formed in the aluminum-oxide film 19 and the 3rd interlayer insulation film 18 using the photolithography method and the dry etching method. Then, the titanium 21 and titanium nitride 22 as a barrier metal are formed by the sputtering method to the wall of a beer hall 20 at about 50nm thickness, respectively. Then, the tungsten plug 23 is formed in a beer hall 20 with the CVD method shown below.

[0115] In order to form this tungsten plug 23, first, substrate temperature is held at about 400 degrees C, WF6 is introduced there as material gas, and SiH4 is introduced as reducing gas. Thereby, after forming an initial layer with a thickness of 100nm or less, reducing gas is changed into H2 from SiH4, and a tungsten is grown up.

[0116] In order to prevent the reaction of WF6 and the metal wiring layer 17 of the 1st layer, SiH4 is used for this initial layer as reducing gas, and after the danger of that reaction disappears, H2 from which high membrane formation speed is obtained is used for it as reducing gas. Although the hydrogen of a large quantity is introduced in the case of which or it generates, with this operation gestalt, the aluminum-oxide film 19 which has high hydrogen barrier property is formed. Therefore, to the hydrogen generated in case a tungsten is formed and the tungsten plug 23 is formed, the aluminum oxide film 19 serves as hydrogen barrier, and it can avoid that Capacitor SC receives a damage.

[0117] Next, the tungsten which exists in addition to the inside of a beer hall 20 and titanium nitride, and titanium are removed by the etchback method which is well-known technology.

[0118] Next, as shown in drawing 20, the semiconductor storage element which forms the metal wiring 24 of a two-layer eye by the sputtering method, the photolithography method, and the dry etching method on the aluminum-oxide film 19 and the tungsten plug 23, and targets it is obtained.

[0119] The capacitor property of the semiconductor storage element formed in drawing 23 of the manufacturing process of this operation gestalt is shown. As the semiconductor storage element which has the ferroelectric capacitor SC which passed through the tungsten plug process which hydrogen generates in a large quantity twice as the manufacturing process of this

operation gestalt explained was showed in drawing 23, 2Pr (minute maximal dose) which shows the engine performance of a ferroelectric is 25microC/cm², and it became the semiconductor storage element which has a property also with very as good leak current density as two 10⁻⁷ A/cm.

[0120] As mentioned above, according to this operation gestalt, in the semiconductor storage element using a metal-oxide dielectric, deterioration of the capacitor property in conductive plug formation of the tungsten with which the hydrogen of a large quantity is introduced can be prevented.

[0121] In addition, with this operation gestalt, as a ferroelectric film which consists of a metallic-oxide dielectric film, although SBT was used, even if it uses materials, such as TiO3 which shows paraelectricity at SrBi2(Ta, Nb)2O9, O(Zr (Pb, La), Ti) 3, or a room temperature (Ba, Sr), the same effect is acquired.

[0122] moreover -- although the spin coat method was used as the membrane formation method of the ferroelectric film 8 -- the sputtering method, a vacuum deposition method, and MOCVD -- law etc. may be used.

[0123] Furthermore, with this operation gestalt, although the tungsten plugs 15 and 23 were used as a conductive plug, even if it uses the titanium nitride plug which uses and forms hydrogen reduction as a material of a conductive plug in addition to a tungsten, the same effect is acquired.

[0124] Moreover, with this operation gestalt, although the two-layer metal wiring 17 and 24 is formed, the manufacture method of this invention is applicable also to the method of manufacturing the semiconductor storage element which has the multilevel-metal wiring layer of three or more layers.

[0125]

[Effect of the Invention] As mentioned above, in the semiconductor storage element with which an interlayer insulation film and metal wiring are formed above a dielectric capacitor by the monolayer or the multilayer, and the semiconductor storage element of this invention becomes, either [at least] one [at least] upper surface of the above-mentioned interlayer insulation film or metal wiring or a base is covered with the hydrogen diffusion barrier film so that clearly. Therefore, according to this invention, it can prevent the hydrogen generated with the above-mentioned hydrogen diffusion

barrier film at the process which forms interlayer insulation film metallurgy group wiring infiltrating into the above-mentioned dielectric capacitor. Therefore, deterioration of a ferroelectric film or a high dielectric film does not arise, but deterioration by the hydrogen of a ferroelectric capacitor is prevented, and it becomes a semiconductor storage element with the high reliability which has a ferroelectric capacitor with a good property.

[0126] Moreover, with a certain operation gestalt, the above-mentioned hydrogen diffusion barrier film is the oxide of aluminum, the nitride of aluminum, the oxidation nitride of aluminum, the oxide of Ta, the nitriding oxide of Ta, the oxide of Ti, or the oxide of Zr. Moreover, with a certain operation gestalt, the above-mentioned hydrogen diffusion barrier film is the oxide of aluminum, the nitride of aluminum, the oxidation nitride of aluminum, the oxide of Ta, the nitriding oxide of Ta, the oxide of Ti, or the oxide of Zr, and the thickness's being [of 10nm or more 100nm or less degree] amorphous or grain size is the thing of a microcrystal 5nm or less.

[0127] According to the semiconductor storage element of the above-mentioned operation gestalt, it can prevent the hydrogen generated with the hydrogen diffusion barrier film of the above-mentioned configuration at the process which forms interlayer insulation film metallurgy group wiring infiltrating into the above-mentioned dielectric capacitor.

[0128] Furthermore, by the manufacture method of a certain operation gestalt, using the sputtering method, the above-mentioned hydrogen diffusion barrier film is formed by within the limits with a substrate temperature of 25-400 degrees C, and performs 450 degrees C [300 degrees C or more] or less of heat treatments for 60 or less minutes 30 minutes or more under oxygen, nitrogen, or the mixed ambient atmosphere of these gas. Moreover, when forming with a CVD method, substrate temperature is heated at 300 degrees C or more 450 degrees C or less, the organic metal raw material containing aluminum, Ta, Ti, or Zr is used for the main raw material, the mixed gas of oxygen, nitrogen, or these gas is introduced into a reaction chamber, and it forms under a pressure of a 1 or more Torrs 10 or less Torr ambient atmosphere. About Ti and Ta, the halogenides $TiCl_4$ and $TaCl_5$ of these metals may be used for the main raw material.

[0129] Moreover, in the semiconductor storage

element of 1 operation gestalt, it had hydrogen barrier property and the hydrogen barrier film which stands in a row to the above-mentioned conductive plug has covered a part of bonnet and above-mentioned capacitor insulator layer [at least] for some of interlayer insulation films between the above-mentioned substrate and the above-mentioned metal wiring, or one [at least] interlayer insulation films [at least] between the above-mentioned multilayer metal wiring. It can prevent the hydrogen generated with this hydrogen barrier film in case a conductive plug is formed infiltrating into the above-mentioned capacitor insulator layer. Therefore, deterioration of the capacitor insulator layer by hydrogen is prevented, and a semiconductor storage element with the high reliability which has a capacitor insulator layer with a good property can be offered.

[0130] Moreover, with 1 operation gestalt, since the above-mentioned hydrogen barrier film consists of an aluminum oxide, the film which consists of this aluminum oxide can be operated as a hydrogen barrier film which has hydrogen barrier property.

[0131] Moreover, although hydrogen occurs with 1 operation gestalt in case this conductive plug is formed since the above-mentioned conductive plug consists of a tungsten or titanium nitride, with this operation gestalt, it can prevent that the above-mentioned hydrogen barrier film is also about this generated hydrogen infiltrating into the above-mentioned capacitor insulator layer, and can prevent returning the capacitor insulator layer which consists of the above-mentioned metallic-oxide dielectric film by the above-mentioned hydrogen.

[0132] Moreover, by the manufacture method of the semiconductor storage element of 1 operation gestalt, since at least a part forms a wrap hydrogen barrier film for the above-mentioned dielectric capacitor on this interlayer insulation film after forming a wrap interlayer insulation film for a dielectric capacitor, it can prevent the hydrogen generated at the process which lays a next conductive plug underground as this hydrogen barrier film is also infiltrating into a dielectric capacitor.

[0133] Moreover, by the manufacture method of the semiconductor storage element of 1 operation gestalt, since the above-mentioned hydrogen barrier film consists of an aluminum oxide, the film which consists of this aluminum oxide can be

operated as a hydrogen barrier film which has hydrogen barrier property.

[0134] Moreover, although hydrogen occurs by the manufacture method of the semiconductor storage element of 1 operation gestalt in case this conductive plug is formed since the above-mentioned conductive plug consists of a tungsten or titanium nitride, with this operation gestalt, it can prevent that the above-mentioned hydrogen barrier film is also about this generated hydrogen infiltrating into the above-mentioned capacitor insulator layer, and can prevent returning the capacitor insulator layer which consists of the above-mentioned metallic-oxide dielectric film by the above-mentioned hydrogen.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 (a) - drawing 1 (d) are manufacturing process drawings showing in order the first half of the manufacture method of the planar mold ferroelectric memory device which is the 1st operation gestalt of this invention.

[Drawing 2] Drawing 2 (a) - drawing 2 (c) are manufacturing process drawings showing the process in the second half of the above-mentioned 1st operation gestalt in order.

[Drawing 3] It is drawing showing the hysteresis characteristic of the ferroelectric capacitor manufactured without covering metal wiring and an interlayer insulation film with a hydrogen diffusion barrier film.

[Drawing 4] It is drawing showing the hysteresis characteristic of the ferroelectric capacitor of 1 operation gestalt of this invention.

[Drawing 5] Drawing 5 (a) - drawing 5 (d) are manufacturing process drawings showing the process in the first half of the manufacture method of the stack mold ferroelectric memory device which is the 2nd operation gestalt of this invention.

[Drawing 6] Drawing 6 (a) - drawing 6 (c) are manufacturing process drawings showing the process in the second half of the above-mentioned 2nd operation gestalt.

[Drawing 7] It is manufacturing process drawing showing the manufacture method of the stack mold quantity dielectric memory device which is the 3rd operation gestalt of this invention.

[Drawing 8] It is manufacturing process drawing showing the manufacture method of the stack

mold quantity dielectric memory device which is the 3rd operation gestalt of this invention.

[Drawing 9] It is manufacturing process drawing showing the manufacture method of the planar mold ferroelectric memory device which is the 4th operation gestalt of this invention.

[Drawing 10] It is manufacturing process drawing showing the manufacture method of the planar mold ferroelectric memory device which is the 4th operation gestalt of this invention.

[Drawing 11] It is the cross section of the planar mold ferroelectric memory cell which applied one-layer metal wiring.

[Drawing 12] It is the cross section of the planar mold ferroelectric memory cell which applied two-layer metal wiring.

[Drawing 13] It is the outline process cross section showing one phase of the 6th operation gestalt of the manufacture method of the semiconductor storage element of this invention.

[Drawing 14] It is the outline process cross section showing the 1st phase of the manufacturing process of 100 million accounts of a semiconductor in the operation gestalt of the above 6th.

[Drawing 15] It is the outline process cross section showing the 2nd phase of the manufacturing process of the semiconductor storage element in the operation gestalt of the above 6th.

[Drawing 16] It is the outline process cross section showing the 3rd phase of the manufacturing process of the semiconductor storage element in the operation gestalt of the above 6th.

[Drawing 17] It is the outline process cross section showing the 4th phase of the manufacturing process of the semiconductor storage element in the operation gestalt of the above 6th.

[Drawing 18] It is the outline process cross section showing the 1st phase of the manufacturing process of the semiconductor storage element in the 7th operation gestalt of this invention.

[Drawing 19] It is the outline process cross section showing the 2nd phase of the manufacturing process of the semiconductor storage element in the operation gestalt of the above 7th.

[Drawing 20] It is the outline process cross section showing the 3rd phase of the manufacturing process of the semiconductor storage element in the operation gestalt of the above 7th.

[Drawing 21] It is property drawing showing the hydrogen barrier property of the aluminum oxide film produced in the above-mentioned 6th and 7th operation gestalt.

[Drawing 22] It is drawing showing the

bis-TERISHISU property of the semiconductor storage element in the conventional example.

[Drawing 23] It is drawing showing the hysteresis characteristic of the semiconductor storage element in the above-mentioned 6th and 7th operation gestalt of this invention.

[Description of Notations]

1 [-- Element isolation region,] -- A semiconductor substrate, 2 -- A gate electrode, 3 -- The source / drain field, 4 5 -- The 1st interlayer insulation film, 6 -- The titanium oxide film, 7 which are an adhesion layer -- The platinum film which is a lower electrode, 8 -- The SBT film, 9 which are a ferroelectric -- The platinum film, 10 which are an up electrode -- The 2nd interlayer insulation film, 11 -- The aluminum oxide film, 12 which are a hydrogen barrier film -- The contact hole to the source / drain field, 13 -- A titanium film, 14 -- A titanium nitride film, 15 -- Tungsten plug, 16 -- The contact hole to an up electrode, 17 -- The 1st metal wiring, 18 -- The 2nd interlayer insulation film, 19 -- The aluminum oxide film, 20 which are a hydrogen barrier film -- The beer hall to the 1st metal wiring, 21 -- A titanium film, 22 -- A titanium nitride film, 23 -- Tungsten plug, 24 -- The 2nd metal wiring, 31 -- A silicon substrate, 32 -- Element isolation region, 33 -- The gate oxide of a selection transistor, 34 -- The source drain field of a transistor, 35 -- A polish recon word line, 36 -- The 1st interlayer insulation film, 37 -- Adhesion layer, 38 [-- Diffusion barrier film,] -- Pt lower electrode, 39 -- A ferroelectric thin film, 40 -- Pt up electrode, 41 42 -- The 2nd interlayer insulation film, 43 -- The first metal wiring, 44 -- Diffusion barrier film, 45 -- The third interlayer insulation film, 46 -- The second metal wiring, 47 -- Diffusion barrier film, 48 [-- Gate oxide of a selection transistor,] -- A surface-protection film, 49 -- A silicon substrate, 50 -- An element isolation region, 51 52 -- The source drain field of a transistor, 53 -- Polish recon word line, 54 -- The insulator layer between the first passes, 55 -- A polish recon plug, 56 -- TiN/Ti layer, 57 [-- Diffusion barrier film,] -- A lower electrode, 58 -- A ferroelectric film, 59 -- Pt up electrode, 60 61 -- The second interlayer insulation film, 62 -- The first metal wiring, 63 -- Diffusion barrier film, 64 -- The third interlayer insulation film, 65 -- The second metal wiring, 66 -- Diffusion barrier film, 67 [-- Gate oxide of a selection transistor,] -- A surface-protection film, 68 -- A silicon substrate, 69 -- An element isolation region, 70 71 -- The source drain field of a transistor, 72 -- Polish recon word line, 73 -- A bit

line, 74 -- The insulator layer between the first passes, 75 -- Polish recon plug, 76 [-- High dielectric film,] -- Ti layer, 77 -- A TiN layer, 78 -- A lower electrode, 79 80 -- Pt up electrode, 81 -- A diffusion barrier film, 82 -- The second interlayer insulation film, 83 -- The first metal wiring, 84 -- A diffusion barrier film, 85 -- The third interlayer insulation film, 86 [-- Diffusion barrier film,] -- The second metal wiring, 87 -- A diffusion barrier film, 88 -- A surface-protection film, 89 90 [-- A diffusion barrier film, 94 / -- The third interlayer insulation film, 95 / -- A diffusion barrier film, 96 / -- The second metal wiring, 97 / -- A diffusion barrier film, 98 / -- Surface-protection film.] -- The 2nd interlayer insulation film, 91 -- A diffusion barrier film, 92 -- The first metal wiring, 93

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-176149

(P2002-176149A)

(43) 公開日 平成14年6月21日 (2002.6.21)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード (参考)
H 0 1 L 27/105		H 0 1 L 27/10	4 4 4 B 5 F 0 8 3
21/8242			6 5 1
27/108			

審査請求 未請求 請求項の数12 O L (全 20 頁)

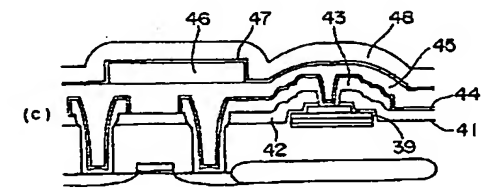
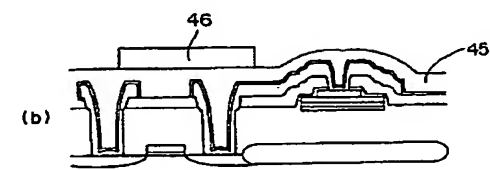
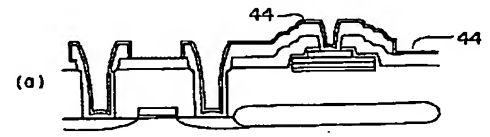
(21) 出願番号	特願2001-281229 (P2001-281229)	(71) 出願人	000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(22) 出願日	平成13年9月17日 (2001.9.17)	(72) 発明者	山▲崎▼ 信夫 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
(31) 優先権主張番号	特願2000-295809 (P2000-295809)	(72) 発明者	石原 数也 大阪府大阪市阿倍野区長池町22番22号 シ ャープ株式会社内
(32) 優先日	平成12年9月28日 (2000.9.28)	(74) 代理人	100062144 弁理士 青山 葆 (外1名)
(33) 優先権主張国	日本 (J P)	F ターム (参考)	5F083 FR02 GA21 JA06 JA14 JA15 JA17 JA38 JA39 JA40 JA43 MA06 MA17 NA08 PR40

(54) 【発明の名称】 半導体記憶素子およびその製造方法

(57) 【要約】

【課題】 強誘電体膜あるいは高誘電体膜の劣化が生じず、強誘電体キャパシタの水素による劣化を防ぎ、特性の良好な強誘電体キャパシタを有する信頼性の高い半導体記憶素子およびその製造方法を提供する。

【解決手段】 この半導体記憶素子は、誘電体キャパシタ37~40の上方に層間絶縁膜42、45および金属配線43、46が形成されてなる半導体記憶素子において、層間絶縁膜42、45または金属配線43、46の少なくとも一方の上面または底面の少なくとも一方が、水素拡散バリア膜44、47で被覆されている。この水素拡散バリア膜44、47によって、層間絶縁膜45や金属配線43、46を形成する工程で発生する水素が誘電体キャパシタに浸入することを防げる。



【特許請求の範囲】

【請求項1】 半導体基板上に誘電体膜を含む誘電体キャパシタが形成され、上記誘電体キャパシタの上方に層間絶縁膜および金属配線が単層または多層で形成されてなる半導体記憶素子において、上記層間絶縁膜または金属配線の少なくとも一方の上面または底面の少なくとも一方が水素拡散バリア膜で被覆されていることを特徴とする半導体記憶素子。

【請求項2】 請求項1に記載の半導体記憶素子において、誘電体膜材料として、 $(Pb_x La_{1-x})(Zr_y Ti_{1-y})O_3$ ($0 \leq x, y \leq 1$)、 $Bi_4 Ti_3 O_{12}$ 、 $BaTiO_3$ 、 $LiNbO_3$ 、 $LiTaO_3$ 、 $YMnO_3$ 、 $Sr_2 Nb_2 O_7$ 、 $(SrBi_2 (Ta_x Nb_{1-x})_2 O_9)$ ($0 \leq x \leq 1$)のうちの少なくともいずれか1つを用いたことを特徴とする半導体記憶素子。

【請求項3】 請求項1に記載の半導体記憶素子において、誘電体膜材料として、 $SrTiO_3$ 、 $Ba_x Sr_{1-x} TiO_3$ ($x \leq 1$)、 $Ta_2 O_5$ のうちの少なくともいずれか1つを用いたことを特徴とする半導体記憶素子。

【請求項4】 請求項1に記載の半導体記憶素子において、Alの酸化物、Alの窒化物、Alの酸化窒化物、Taの酸化物、Taの酸化窒化物、Tiの酸化物、Zrの酸化物のうちの少なくともいずれか1つを、上記水素拡散バリア膜に用いたことを特徴とする半導体記憶素子。

【請求項5】 請求項4に記載の半導体記憶素子において、上記水素拡散バリア膜が、膜厚10nm以上100nm以下であって、非晶質あるいはグレインサイズが5nm以下の、Alの酸化物、Alの窒化物、Alの酸化窒化物、Taの酸化物、Taの酸化窒化物、Tiの酸化物、Zrの酸化物のうちの少なくともいずれか1つであることを特徴とする半導体記憶素子。

【請求項6】 半導体基板上に誘電体膜を含む誘電体キャパシタが形成され、上記誘電体キャパシタの上方に層間絶縁膜および金属配線が単層または多層で形成され、上記層間絶縁膜または金属配線の少なくとも一方の上面または底面の少なくとも一方が水素拡散バリア膜で被覆されている半導体記憶素子の製造方法であって、上記水素拡散バリア膜形成後に、酸素もしくは窒素またはこれらの混合ガス雰囲気下で、温度300℃以上450℃以下の熱処理を行うことを特徴とする半導体記憶素子の製造方法。

【請求項7】 基板上に金属酸化物誘電体膜からなるキャパシタ絶縁膜と、導電性プラグを含む単層または多層の金属配線とを備えた半導体記憶素子において、水素バリア性を有し、上記導電性プラグに連なる水素バリア膜が、

上記基板と上記金属配線との間の層間絶縁膜、または、上記多層の金属配線の間の層間絶縁膜の少なくとも一方の少なくとも一部を覆い、上記キャパシタ絶縁膜の少なくとも一部を覆っていることを特徴とする半導体記憶素子。

【請求項8】 請求項7に記載の半導体記憶素子において、上記水素バリア性を有する膜が酸化アルミニウムからなることを特徴とする半導体記憶素子。

【請求項9】 請求項7に記載の半導体記憶素子において、上記導電性プラグがタングステンまたは窒化チタンからなることを特徴とする半導体記憶素子。

【請求項10】 金属酸化物誘電体膜からなるキャパシタ絶縁膜を有する半導体記憶素子の製造方法であって、誘電体キャパシタを形成した後、この誘電体キャパシタを覆う層間絶縁膜を形成し、この層間絶縁膜上に、少なくとも一部が上記誘電体キャパシタを覆う水素バリア膜を形成する工程と、

上記層間絶縁膜に金属配線に対向させるホールを開口させる工程と、上記ホール内に導電性プラグを埋設する工程とを備えたことを特徴とする半導体記憶素子の製造方法。

【請求項11】 請求項10に記載の半導体記憶素子の製造方法において、上記水素バリア膜が酸化アルミニウムからなることを特徴とする半導体記憶素子の製造方法。

【請求項12】 請求項10に記載の半導体記憶素子の製造方法において、上記導電性プラグがタングステンまたは窒化チタンからなることを特徴とする半導体記憶素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、半導体記憶素子およびその製造方法に関する。より詳しくは、たとえば、強誘電体膜を用いた不揮発性半導体記憶素子あるいは高誘電体膜を用いた半導体記憶素子およびその製造方法に関する。また、より詳細には、金属酸化物誘電体を用いた半導体記憶素子であって水素などの還元性雰囲気にも耐える半導体記憶素子およびその製造方法に関する。

【0002】

【従来の技術】 従来より、強誘電体薄膜は、自発分極、高誘電率、電気光学効果、圧電効果および焦電効果等の多くの機能を持つことから、広範囲なデバイスに応用されている。例えば、その焦電性を利用して、赤外線リニアアレイセンサーに利用され、また、その圧電性を利用して超音波センサに利用され、その電気光学効果を利用して導波路型光変調器に利用されている。また、その高誘電性を利用して、ダイナミックランダムアクセスメモ

リ(以下DRAM)に様々な方面で用いられている。

【0003】中でも、近年の薄膜形成技術の進展に伴って、半導体メモリ技術を組合わせた高密度で、かつ、高速に動作する強誘電体不揮発性メモリ(FRAM)の開発が盛んである。強誘電体薄膜を用いた不揮発性メモリは、高速書き込み／読み出し、低電圧動作、および書き込み／読み出し耐性の特性から、従来の不揮発性メモリの置き換えだけでなく、スタティックRAM(SRAM)、DRAM分野の置き換えも可能なメモリとして、実用化に向けて研究開発が盛んに行われている。

【0004】このようなデバイス開発には、残留分極が大きく、かつ抗電場が小さく、低リーク電流で分極反転の繰り返し耐性の大きな材料が必要である。さらには、動作電圧の低減と半導体微細加工プロセスに適合するために、膜厚200nm以下の薄膜で上記の特性を実現することが望ましい。そして、これらの用途に用いられる強誘電体材料としては、チタン酸ジルコン酸鉛($(\text{Pb}_x\text{La}_{1-x})(\text{Zr}_y\text{Ti}_{1-y})\text{O}_3$ 、 $0 \leq x, y \leq 1$ 、以下PZT)や $\text{SrBi}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_9$ ($0 \leq x \leq 1$ 、以下SBT)のようなビスマス層状構造化合物薄膜が、強誘電体および高誘電体集積回路の応用に適している。

【0005】一方、ダイナミックランダムアクセスメモリ(DRAM)の高集積化に対して、キャパシタ容量を増大させるために、従来用いられてきた、シリコン酸化膜よりも誘電率の高い材料であるタンタル酸化膜(以下 Ta_2O_5)やチタン酸ストロンチウム(以下 SrTiO_3)、チタン酸バリウム・ストロンチウム(以下 $(\text{Ba}, \text{Sr})\text{TiO}_3$)などの高誘電体材料が、将来の256メガビット～1ギガビット以上の高集積DRAMに適用されようとしており、盛んに研究開発が行われている。

【0006】図11は、従来の1層金属配線を用いた強誘電体メモリ素子の断面図である。図において、101は導電型シリコン基板、102は素子分離領域、103は選択トランジスタのゲート酸化膜、104はトランジスタのソース・ドレイン領域、105はポリシリコンワード線となるゲート電極である。また、106は第一層間絶縁膜層、107は密着層、108はPt下部電極、109は強誘電体薄膜、110はPt上部電極、111は拡散バリア膜、112は第二層間絶縁膜、113は第一金属配線、114は表面保護膜層を示す。

【0007】このような強誘電体膜をキャパシタに用いた強誘電体メモリは、メモリー読み出し、書き込みのための選択トランジスタを形成した後、第一層間絶縁膜106を堆積し、下部電極の密着層107として、TiあるいはTiの酸化物を堆積する。次に、下部電極108、強誘電体膜109、上部電極110を積層する。各層をドライエッチング法により加工することによりキャパシタが完成する。次に、層間絶縁膜との反応や層間絶縁膜形成時に発生する水素のキャパシタへの拡散を抑制

するために、拡散バリア膜111として、Ti、AlあるいはZr等の酸化物を強誘電体キャパシタ全体を被覆するように堆積する。

【0008】次に、シリコン酸化膜などの第二層間絶縁膜112を形成する。次に、キャパシタの上部電極と選択トランジスタのソース・ドレイン間を金属配線で接続するために、コンタクトホールを開口し、Al等の第一金属配線113を用いて接続する。最後に、シリコン窒化膜のような表面保護膜層114が形成され、最終熱処理として、2～5%の水素を含む雰囲気中で400℃前後でシンターされる。

【0009】

【発明が解決しようとする課題】強誘電体膜や高誘電体膜は水素に接すると還元され易く、特に、強誘電体膜や高誘電体膜と接している電極には、PtやIr等の金属が用いられているため、これらの金属は強い還元反応を促進する触媒効果がある。このため、水素が電極に吸着すると活性な状態となり、強誘電体膜中に拡散すると強誘電体膜を容易に還元する。

【0010】一方、半導体メモリの製造工程では水素が発生する工程が多々ある。高誘電体キャパシタや強誘電体キャパシタ上に形成する層間絶縁膜は、通常、シラン(以下 SiH_4)やテトラエトキシシラン($\text{Si}(\text{OC}_2\text{H}_5)_4$ 、以下TEOS)などを主原料とした化学的気相成長法(以下CVD法)により形成する。これらの原料を用いた場合、形成時に原料が分解し水素が発生する。この水素が強誘電体あるいは高誘電体キャパシタへ拡散すると強誘電体膜(高誘電体膜)が還元され、リーク電流が増大したり、残留分極値が低下したりする。

【0011】また、MOSトランジスタと誘電体キャパシタで構成されている半導体メモリデバイスは、MOSトランジスタのゲート酸化膜形成時に欠陥が導入され、界面準位密度が増加し、トランジスタの閾値電圧を変動させる。これらの準位を減少させる方法として、通常、デバイス作製後に、水素雰囲気中で熱処理される。水素を含む雰囲気中で、400℃以上450℃以下の熱処理をすると、水素が拡散し、ゲート酸化膜に達すると、欠陥を終端し界面準位密度を低減させている。この熱処理によっても、キャパシタ特性は劣化する。この水素拡散による劣化を抑制する方法としては、公開特許公報：特開平8-335673号公報、あるいは特開平10-294433号公報に示されるように、キャパシタを被覆するように、Ti、AlあるいはTaの酸化物などの拡散バリア膜111を形成することが効果的である。

【0012】しかしながら、256Kビット以上の集積度を持つメモリでは、メモリセルのレイアウトや周辺回路が複雑化しているため、金属配線が2層以上必要となる。

【0013】2層金属配線を適用した強誘電体メモリ素子を、図12に示す。図12において、115は導電型

10

20

30

40

50

シリコン基板、116は素子分離領域、117は選択トランジスタのゲート酸化膜、118はトランジスタのソース・ドレイン領域、119はポリシリコンワード線となるゲート電極である。また、120は、第一層間絶縁膜、121は密着層、122はPt下部電極、123は強誘電体薄膜、124はPt上部電極、125は拡散バリア膜、126は第二層間絶縁膜、127は第一金属配線、128は第三層間絶縁膜、129は第二金属配線、130は表面保護膜層を示す。

【0014】金属配線には通常アルミニウム配線が用いられており、アルミニウム配線の積層は、1層目のアルミニウム配線127を形成後に、CVD法でシリコン酸化膜である第三層間絶縁膜128を形成し、2層目のアルミニウム薄膜を堆積し、フォトレジストをマスクに用い、反応性イオンエッチング法で2層目のアルミニウム配線129を形成する。3層目のアルミニウム配線を形成する場合でも、同様に、2層目のアルミニウム配線上に層間絶縁膜を形成して、3層目アルミニウム配線を形成する。

【0015】層間絶縁膜は400℃前後で形成されるため、膜中に水素や多量の水分を含んでおり、層間絶縁膜形成後の熱処理工程や、さらに上層の層間絶縁膜形成時の熱処理工程で、水素が脱離したり、水分が脱離したりする。特に、脱離した水分は、アルミニウム配線まで拡散するとアルミニウム配線は容易に酸化され、この酸化過程で多量の水素が発生する。 $(2Al + 3H_2O \rightarrow Al_2O_3 + 3H_2 \uparrow)$ 。この多層のアルミニウム配線形成時の水素の発生量は多量であり、従来、用いていた強誘電体キャパシタを被覆するように形成した拡散バリア層だけでは、十分なバリア性を得ることが難しく、キャパシタ特性が劣化する。

【0016】また、金属酸化物からなる誘電体膜をキャパシタ絶縁膜に用いた半導体記憶素子が開発され、製品化も進められている。特に、強誘電体薄膜を使用したFeRAM(Ferroelectric Random Access Memory)は、その高速動作性、低消費電力性および不揮発性などの多数の利点から携帯端末や非接触ICカードへの応用が期待されている。

【0017】このような応用においては、高機能化、高性能化のためには、マイコンコアとの混載が不可欠である。ロジックデバイスとの混載を考えた場合、多層配線プロセスは避けられない。さらに、高集積化を目指した微細化では、配線間を接続するビアホールにタングステンや窒化チタンからなるプラグを形成する必要性が生じる。

【0018】しかしながら、このような多層配線プロセスでは、大量の水素が発生し、酸化物からなる強誘電体薄膜は容易に還元され、その特性は大きく劣化し、最悪の場合、強誘電性が失われてしまう。特に、タングステンや窒化チタンのプラグを形成する場合、それらのCV

D(Cheical Vapor Deposition)プロセスでは、還元ガスとして水素を導入することが広く一般的に行われている。このため、強誘電体キャパシタは水素により還元され、特性劣化が引き起こされる。

【0019】このような水素からの劣化を防ぐために、特開平8-335673公報に示されているような対策が講じられている。すなわち、強誘電体キャパシタを水素バリア性を有する酸化チタン膜や酸化アルミニウム膜などで被覆し、水素との接触を極力防ごうとするものである。

【0020】しかしながら、これら水素バリア膜の水素バリア性には限界があり、強誘電体キャパシタ直上のみの防御では不十分で、そのキャパシタ特性は、図22に示すように、大きく劣化しており、特性の良好なFeRAMの形成は困難であることを示している。

【0021】そこで、この発明は、上記課題に鑑みなされたものであり、強誘電体膜あるいは高誘電体膜の劣化が生じず、強誘電体キャパシタの水素による劣化を防ぎ、特性の良好な強誘電体キャパシタを有する信頼性の高い半導体記憶素子およびその製造方法を提供することを目的としている。

【0022】

【課題を解決するための手段】上記目的を達成するため、この発明による半導体記憶素子は、半導体基板上に誘電体膜を含む誘電体キャパシタが形成され、上記誘電体キャパシタの上方に層間絶縁膜および金属配線が単層または多層で形成されてなる半導体記憶素子において、上記層間絶縁膜または金属配線の少なくとも一方の上面または底面の少なくとも一方が水素拡散バリア膜で被覆されていることを特徴とするものである。

【0023】この発明の半導体記憶素子では、上記層間絶縁膜または金属配線の少なくとも一方の上面または底面の少なくとも一方が、水素拡散バリア膜で被覆されている。上記構成の水素拡散バリア膜によって、層間絶縁膜や金属配線を形成する工程で発生する水素が上記誘電体キャパシタに浸入することを防げる。したがって、強誘電体膜あるいは高誘電体膜の劣化が生じず、強誘電体キャパシタの水素による劣化を防ぎ、特性の良好な強誘電体キャパシタを有する信頼性の高い半導体記憶素子となる。

【0024】ある実施形態では、上記水素拡散バリア膜は、Alの酸化物、Alの窒化物、Alの酸化窒化物、Taの酸化物、Taの窒化酸化物、Tiの酸化物、またはZrの酸化物である。また、ある実施形態では、上記水素拡散バリア膜は、Alの酸化物、Alの窒化物、Alの酸化窒化物、Taの酸化物、Taの窒化酸化物、Tiの酸化物、またはZrの酸化物であって、その膜厚が10nm以上100nm以下程度の、非晶質あるいはグレインサイズが5nm以下の微結晶のものである。

【0025】上記実施形態の半導体記憶素子によれば、

上記構成の水素拡散バリア膜によって、層間絶縁膜や金属配線を形成する工程で発生する水素が上記誘電体キャパシタに浸入することを防げる。

【0026】さらに、ある実施形態の製造方法では、上記水素拡散バリア膜は、スパッタリング法を用い、基板温度25～400℃の範囲内で形成し、酸素、もしくは窒素、またはこれらのガスの混合雰囲気下で、300℃以上450℃以下、30分以上60分以下の熱処理を行う。また、CVD法で形成する場合は、基板温度を300℃以上450℃以下に加熱し、Al、Ta、TiまたはZrを含む有機金属原料を主原料に用いて、酸素、もしくは窒素、またはこれらのガスの混合ガスを反応室に導入し、圧力1 Torr以上10 Torr以下の雰囲気下で形成する。Ti、Taについては、これらの金属のハロゲン化合物TiCl₄、TaCl₅を主原料に用いてもよい。

【0027】また、一実施形態の半導体記憶素子は、基板上に金属酸化物誘電体膜からなるキャパシタ絶縁膜と、導電性プラグを含む単層または多層の金属配線とを備えた半導体記憶素子において、水素バリア性を有し、上記導電性プラグに連なる水素バリア膜が、上記基板と上記金属配線との間の層間絶縁膜、または、上記多層の金属配線の間の層間絶縁膜の少なくとも一方の少なくとも一部を覆い、上記キャパシタ絶縁膜の少なくとも一部を覆っている。

【0028】この実施形態では、水素バリア性を有し、上記導電性プラグに連なる水素バリア膜が、上記基板と上記金属配線との間の層間絶縁膜、または、上記多層の金属配線の間の層間絶縁膜の少なくとも一方の少なくとも一部を覆い、上記キャパシタ絶縁膜の少なくとも一部を覆っている。これにより、この水素バリア膜により、導電性プラグを形成する際に生成する水素が上記キャパシタ絶縁膜に浸入するのを防ぐことができる。したがって、水素によるキャパシタ絶縁膜の劣化を防ぎ、特性の良好なキャパシタ絶縁膜を有する信頼性の高い半導体記憶素子を提供できる。

【0029】また、一実施形態の半導体記憶素子は、上記水素バリア膜が酸化アルミニウムからなる。

【0030】この実施形態では、上記水素バリア膜が酸化アルミニウムからなるので、この酸化アルミニウムからなる膜を水素バリア性を有する水素バリア膜として機能させることができる。

【0031】また、一実施形態の半導体記憶素子は、上記導電性プラグがタングステンまたは窒化チタンからなる。

【0032】この実施形態では、上記導電性プラグがタングステンまたは窒化チタンからなるから、この導電性プラグを形成する際に水素が発生するが、この発明では、この発生した水素が上記キャパシタ絶縁膜に浸入するのを上記水素バリア膜でもって防止でき、上記水素に

よって上記金属酸化物誘電体膜からなるキャパシタ絶縁膜が還元されるのを防げる。

【0033】また、一実施形態の半導体記憶素子の製造方法は、金属酸化物誘電体膜からなるキャパシタ絶縁膜を有する半導体記憶素子の製造方法であって、誘電体キャパシタを形成した後、この誘電体キャパシタを覆う層間絶縁膜を形成し、この層間絶縁膜上に、少なくとも一部が上記誘電体キャパシタを覆う水素バリア膜を形成する工程と、上記層間絶縁膜に金属配線に対向させるホールを開口させる工程と、上記ホール内に導電性プラグを埋設する工程とを備えた。

【0034】この実施形態では、上記誘電体キャパシタを覆う層間絶縁膜を形成した後、この層間絶縁膜上に、少なくとも一部が上記誘電体キャパシタを覆う水素バリア膜を形成するから、この水素バリア膜でもって、後の導電性プラグを埋設する工程で発生する水素が誘電体キャパシタに浸入するのを防げる。

【0035】また、一実施形態の半導体記憶素子の製造方法では、上記水素バリア膜が酸化アルミニウムからなる。

【0036】この実施形態では、上記水素バリア膜が酸化アルミニウムからなるので、この酸化アルミニウムからなる膜を水素バリア性を有する水素バリア膜として機能させることができる。

【0037】また、一実施形態の半導体記憶素子の製造方法は、上記導電性プラグがタングステンまたは窒化チタンからなる。

【0038】この実施形態では、上記導電性プラグがタングステンまたは窒化チタンからなるから、この導電性プラグを形成する際に水素が発生するが、この実施形態では、この発生した水素が上記キャパシタ絶縁膜に浸入するのを上記水素バリア膜でもって防止でき、上記水素によって上記金属酸化物誘電体膜からなるキャパシタ絶縁膜が還元されるのを防げる。

【0039】

【発明の実施の形態】以下、実施の形態に基づいて、この発明について詳細に説明する。

【0040】(第1の実施形態) 2層Al配線を用いたプレーナ型強誘電体メモリ素子である第1実施形態について、図1および図2の製造工程図を用いて以下に説明する。

【0041】公知の方法によって、Si基板31上に、素子分離領域32、選択トランジスタのゲート酸化膜33、選択トランジスタのソース・ドレイン領域34、ポリシリコンワード線となるゲート電極35を形成し、公知のBPSGからなる第一層間絶縁膜36で覆った後(図1(a))、公知のスパッタリング法により、下部電極の密着層として30nmのTi酸化物37を形成し、Pt下部電極38を100～200nm形成する。この下部電極の上に、強誘電体薄膜として、SBT薄膜からな

る強誘電体薄膜39を形成する。SBT薄膜の形成方法は以下の通りである。

【0042】溶液合成の出発原料としてタンタルエトキシド($\text{Ta}(\text{OC}_2\text{H}_5)_5$)、ビスマス2エチルヘキサネート($\text{Bi}(\text{C}_7\text{H}_{15}\text{COO})_2$)、およびストロンチウム2エチルヘキサネート($\text{Sr}(\text{C}_7\text{H}_{15}\text{COO})_2$)を使用した。タンタルエトキシドを秤量し、2-エチルヘキサネート中に溶解させ、反応を促進させるため、100℃から120℃まで加熱しながら攪拌し、30分間反応させた。その後、120℃で、反応によって生成したエタノールと水分を除去した。この溶液に、20から30mlのキシレンに溶解させたストロンチウム2ヘキサネートを $\text{Sr}/\text{Ta}=1/2$ になるように適量を加え、125℃から最高140℃で30分間、加熱攪拌した。その後、この溶液に10mlのキシレンに溶解させたビスマス2-エチルヘキサネートを $\text{Sr}/\text{Bi}/\text{Ta}=1/2.4/2$ になるように適量加え、130℃から最高150℃で10時間、加熱攪拌した。

【0043】次に、この溶液から低分子量のアルコールと水とを溶媒として使用したキシレンを除去するため、130~150℃の温度で5時間、蒸留した。その後、溶液の $\text{SrBi}_2\text{Ta}_2\text{O}_9$ の濃度が0.1mol/lになるように調整し、これを前駆体溶液とした。なお、これらの原料は上記のものに限定されるのではないし、溶媒についても上記出発原料が十分に溶解するものであればよい。

【0044】次に、この前駆体溶液を使用し、以下の工程で強誘電体SBT薄膜39を形成した。まず、Si基板上に上述の前駆体溶液を滴下し、公知のスピンコート法により塗布した。その後、完全に溶媒を除去させるため、250℃に加熱したホットプレート上で乾燥し、次いで、電気炉にて600℃以上700℃以下で焼成した。この成膜工程を3回繰り返し、膜厚200nmの強誘電体薄膜であるSBT薄膜39を成膜した。

【0045】次に、膜厚が100nmのPt上部電極40を形成した後(図1(b))、フォトレジストを用いた公知の紫外線縮小露光技術(以下フォトリソグラフィ法)とドライエッチング法を用いて、1.5μm角に上部電極を加工し、キャパシタ電極とした。エッチングガスとしては、主として、 Cl_2 ガスをを用い、エッチングガス圧力を1.5mTorrに保ち、マイクロ波励起によってプラズマを発生させ、ウエハーをセットした基板に高周波バイアスを印加し、Ptを加工した。その後、電気炉にて、700~800℃、酸素雰囲気中で熱処理を行った。次に、SBT膜および下部電極をフォトレジストを用い、公知のフォトリソグラフィ法と上記ドライエッチング法を用いて加工した。エッチングガスとしては主として C_2F_6 ガスをを用いて加工した。

【0046】次に、 H_2 の拡散バリア膜41として、Alの酸化物あるいはAlの窒化物をキャパシタ電極およ

び強誘電体膜を被覆するように形成した(図1(c))。AlターゲットあるいはAlの酸化物ターゲット、Alの窒化物ターゲットを用いて、DCマグネトロンスパッタリング法、RFマグネトロンスパッタリング法または電子サイクロトロン共鳴をプラズマ源を用いたスパッタリング法により形成した。基板温度は25℃以上400℃以下に保持し、 $\text{O}_2/(\text{O}_2+\text{Ar})$ のガス比率は、0.1から0.5の範囲で成膜室に導入し、圧力を1mTorrから20mTorrの範囲で成膜を行った。

10 【0047】拡散バリア膜の膜厚は、10nm以上100nm以下とし、基板温度100℃から400℃で、Alの酸化物を形成した。拡散バリア膜はAlの酸化物、Alの窒化物に限定するものでなく、Taの酸化物、Taの窒化酸化物、Tiの酸化物またはZrの酸化物でも同様なバリア効果が得られるものである。

【0048】次に、拡散バリア膜41で被覆されたキャパシタ上に、第二の層間絶縁膜42として有機シリコン化合物(テトラエトキシシラン($\text{Si}(\text{OC}_2\text{H}_5)_4$ 、以下TEOS)と O_3 を反応させた常圧CVD法あるいはTEOSと O_2 を反応させたプラズマCVD法により、酸化膜を500nm以上600nm以下で形成した。

【0049】キャパシタ上部電極上およびトランジスタのソースおよびドレイン上に公知のフォトリソグラフィ法およびドライエッチング法によって、直径0.8μmのコンタクトホールを開口した。その後、DCマグネトロンスパッタリング法により膜厚700nmのAlを形成した。公知のフォトリソグラフィ法およびドライエッチング法によりAlを加工し、第一金属配線43を形成した(図1(d))。

30 【0050】次に、第一金属配線43および第二層間絶縁膜42を被覆するように拡散バリア膜44を形成した(図2(a))。拡散バリア膜44はAlの酸化物あるいはAlの窒化物を用いた。拡散バリア膜44の膜厚は、10nm以上100nm以下とし、基板温度100℃から400℃でAlの酸化物を形成した。成膜方法および成膜条件は前述の通りである。拡散バリア膜はAlの酸化物、Alの窒化物に限定するものでなく、Taの酸化物、Taの窒化酸化物、Tiの酸化物またはZrの酸化物でも同様なバリア効果が得られるものである。

40 【0051】次に、第三の層間絶縁膜45として、TEOSとオゾンとを反応させた常圧CVD法またはTEOSもしくは SiH_4 と O_2 を反応させたプラズマCVD法により、Si酸化膜を600~1000nm形成した。その後、公知のフォトリソグラフィ法およびドライエッチング法によって、0.8μmのビアホールを開口した。その後、DCマグネトロンスパッタリング法により膜厚700nmのAl膜を形成した。公知のフォトリソグラフィ法およびドライエッチング法によりAlを加工し、第二金属配線46を形成した(図2(b))。次に、第二金属配線46および第三層間絶縁膜45を被覆する

ように、拡散バリア膜47を形成した。拡散バリア膜は上記と同様Alの酸化物あるいはAlの窒化物を用いた。

【0052】最後に、表面保護膜48として、公知のプラズマCVD法によって、SiN膜を500nm形成した(図2(c))。

【0053】このようにして作製されたメモリセルの強誘電体特性を公知のソーヤータワー回路を用いて測定した。図3には、Al配線を拡散バリア膜で被覆しない場合の最終保護膜形成後の強誘電体キャパシタのヒステリシス特性を示す。また、図4には、Al配線をAl酸化物の拡散バリア膜で被覆した場合の最終保護膜形成後の強誘電体キャパシタのヒステリシス特性を示す。どちらのキャパシタについても2層Al配線を適用した。Al配線に拡散バリア膜を適用していない強誘電体キャパシタの上部電極サイズ1.5μm角の残留分極値は $P_r = 0.5 \sim 1.3 \mu C/cm^2$ まで減少するのに対して、拡散バリア膜を適用した残留分極値 $P_r = 8.2 \mu C/cm^2$ 、抗電界 $E_c = 40 KV/cm$ という値が得られた。強誘電体メモリのキャパシタとして十分な動作が確認された。

【0054】なお、この実施の形態においては、2層Al配線を適用した強誘電体メモリに用いたが、この発明はこれに限定されるものではなく、さらに多層Al配線についても拡散バリアを適用しても効果的である。

【0055】また、この実施の形態においては強誘電体膜としてSBT薄膜を用いたが、この発明はこれに限定されるものではなく、 $(Pb_x La_{1-x})(Zr_y Ti_{1-y})O_3$ 、 $Bi_4 Ti_3 O_{12}$ 、 $BaTiO_3$ 、 $LiNbO_3$ 、 $LiTaO_3$ 、 $YMnO_3$ 、 $Sr_2 Nb_2 O_7$ 、 $(SrBi_2 (Ta_x Nb_{1-x})_2 O_9) (0 \leq x, y \leq 1)$ を用いることも可能である。

【0056】さらに、この実施の形態においては電極の材料としてPt薄膜を用いて説明したが、この発明はこれに限定されるものではなく、PtRh、PtRhO_x、Ir、IrO₂、RuO₂、RhO_x、LaSrCoO₃等を用いることも可能である。

【0057】(第2の実施形態)2層Al配線を用いたスタック型強誘電体メモリ素子である実施形態について、図5および図6の製造工程図を用いて、以下に説明する。

【0058】公知の方法によって、Si基板49上に、素子分離領域50、選択トランジスタのゲート酸化膜51、トランジスタのソース・ドレイン領域52、ワード線となるゲート電極53を形成し、公知のBPSGからなる第一層間絶縁膜54で覆い、公知の化学的機械的研磨法によりBPSG膜を平坦化する。次に、トランジスタのソース領域に直径0.3μmのコンタクトホールを開口した後、膜厚300nm以上の燐が添加されたポリシリコン膜を形成し、公知の化学的機械的研磨法により

コンタクトホール内のみポリシリコンが埋め込まれるように研磨して、プラグ55が完成する(図5(a))。

【0059】次に、膜厚20nmのTi膜および膜厚50nmから100nmのTiN膜の積層膜56をDCマグネトロンスパッタリング法により積層形成した。TiN膜の代わりに、TaSiN膜、TiAlN膜、TiSiN膜等を用いてもよい。次に、キャパシタの下部電極となるPt膜57を200nmの厚さで形成した。第1の実施形態と同様に、強誘電体膜としてSBT膜58および上部Pt電極59を形成し(図5(b))、公知のフォトリソグラフィ技術とドライエッチング法を用いて、1.5μm角に上部電極を加工し、キャパシタ電極とした。その後、電気炉にて700~800℃、酸素雰囲気中で熱処理を行った。次に、SBT膜および下部電極をフォトレジストを用い、公知のフォトリソグラフィ法と上記ドライエッチング法を用いて加工した。

【0060】次に、H₂に対する拡散バリア膜60としてAlの酸化物あるいはAlの窒化物をキャパシタ電極および強誘電体膜を被覆するように形成した(図5(c))。拡散バリア膜はAlの酸化物、Alの窒化物に限定するものでなく、Taの酸化物、Taの窒化酸化物、Tiの酸化物、Zrの酸化物等でも同様なバリア効果が得られる。

【0061】次に、拡散バリア膜で被覆されたキャパシタ上に、第二の層間絶縁膜61を形成した。キャパシタ上部電極上に公知のフォトリソグラフィ法およびドライエッチング法によってコンタクトホールを開口した。その後、DCマグネトロンスパッタリング法により、膜厚700nmのAl膜を形成した。公知のフォトリソグラフィ法およびドライエッチング法により、Alを加工し、第一金属配線62を形成した(図5(d))。

【0062】次に、第一金属配線62および第二層間絶縁膜61を被覆するように、拡散バリア膜63を形成した(図6(a))。この拡散バリア膜としては、Alの酸化物あるいはAlの窒化物を用いた。拡散バリア膜の膜厚は、10nm以上100nm以下とし、基板温度100℃から400℃でAlの酸化物を形成した。成膜方法および成膜条件は前述の通りである。拡散バリア膜はAlの酸化物、Alの窒化物に限定するものでなく、Taの酸化物、Taの窒化酸化物、Tiの酸化物、Zrの酸化物等でも同様なバリア効果が得られる。

【0063】次に、第三の層間絶縁膜64としてSi酸化膜を600~1000nmの厚さで形成した。その後、公知のフォトリソグラフィ法およびドライエッチング法によってビアホールを開口した。その後、DCマグネトロンスパッタリング法により膜厚700nmのAl膜を形成した。公知のフォトリソグラフィ法およびドライエッチング法によりAlを加工し、第二金属配線65を形成した(図6(b))。

【0064】次に、第二金属配線65および第三層間絶

10

20

30

40

50

緑膜64を被覆するように、拡散バリア膜66を形成した。この拡散バリア膜としては、上記同様、Alの酸化物あるいはAlの窒化物を用いた。最後に、表面保護膜67として公知のプラズマCVD法によってSiN膜を500nmの厚さで形成した(図6(c))。

【0065】上記第1実施形態と同様、アルミ配線についても拡散バリア膜を適用することにより残留分極値 $P_r = 7.9 \mu\text{C}/\text{cm}^2$ 、抗電界 $E_c = 39 \text{KV}/\text{cm}$ という値が得られた。強誘電体メモリのキャパシタとして十分な動作が確認された。

【0066】なお、この実施の形態は、2層Al配線を適用した強誘電体メモリに用いたが、この発明はこれに限定されるものではなく、さらに多層Al配線についても拡散バリア膜を適用しても効果的である。

【0067】また、この実施の形態においては、強誘電体膜としてSbT薄膜を用いたが、この発明はこれに限定されるものではなく、 $(\text{Pb}_x\text{La}_{1-x})(\text{Zr}_y\text{Ti}_{1-y})\text{O}_3$ 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 BaTiO_3 、 LiNbO_3 、 LiTaO_3 、 YMnO_3 、 $\text{Sr}_2\text{Nb}_2\text{O}_7$ 、 $(\text{SrBi}_2(\text{Ta}_x\text{Nb}_{1-x})_2\text{O}_9)$ ($0 \leq x, y \leq 1$)を用いることも可能である。

【0068】さらに、この実施の形態においては電極の材料としてPt薄膜を用い説明したが、この発明はこれに限定されるものではなく、PtRh、PtRhO_x、Ir、IrO₂、RuO₂、RhO_x、LaSrCoO₃等を用いることも可能である。

【0069】(第3の実施形態)2層Al配線を用いたスタック型高誘電体メモリ素子である実施形態について図7および図8の製造工程図を用いて以下に説明する。

【0070】公知の方法によって、Si基板68上に、素子分離領域69、選択トランジスタのゲート酸化膜70、トランジスタのソース・ドレイン領域71、ワード線となるゲート電極72、ビット線73を形成した後、公知のBPSG(Borophosphosilicate glass)からなる第一層間絶縁膜74で覆い、公知の化学的機械的研磨法により、BPSG膜を平坦化する(図7(a))。

【0071】次に、トランジスタのソース領域に、直径0.3μmコンタクトホールを開口した後、膜厚300nm以上の燐が添加されたポリシリコンを形成し、公知の化学的機械的研磨法により、コンタクトホール内のみポリシリコンが埋め込まれるように研磨し、プラグ75が完成する(図7(b))。

【0072】次に、膜厚20nmのTi膜76をDCマグネトロンスパッタリング法により堆積した後、膜厚100nmのTiN膜77をDCマグネトロンスパッタリング法により積層した。TiN膜の代わりに、TiAlN膜、TiSiN膜を用いてもよい。次に、キャパシタの下部電極78となるPt膜を200nmの厚さで形成する(図7(c))。Ptの代わりに、酸化ルテニウムを用いてもよい。フォトレジストを用いた公知の紫外線縮

小露光技術(以下、フォトリソグラフィ法)とドライエッチング法を用いて、0.3μm角に加工し、キャパシタ下部電極が完成した(図7(d))。

【0073】次に、高誘電体薄膜79として、膜厚30nmのチタン酸バリウム・ストロンチウム(以下 $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$)を全面に形成する。次に、膜厚が100nmのPt上部電極80を形成した後(図7(e))、フォトレジストを用いた公知の紫外線縮小露光技術(以下フォトリソグラフィ法)とドライエッチング法を用いて、メモリセル領域のみ上部電極と $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ 膜を同一マスクを用いて加工する。電極と $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ 膜のエッチングガスとしては、主としてCl₂ガスを用い、1.5mTorrの圧力下で基板に高周波バイアスを印加し加工した。

【0074】次に、第1および第2実施形態と同様、拡散バリア膜81として、Alの酸化物あるいはAlの窒化物をキャパシタ電極および高誘電体膜を被覆するように形成する。次に、拡散バリア膜で被覆されたキャパシタ上に第二の層間絶縁膜82として有機シリコン化合物(テトラエトキシシラン $(\text{Si}(\text{OC}_2\text{H}_5)_4$ 、以下TEOS)とO₃を反応させた常圧CVD法あるいはTEOSとO₂を反応させたプラズマCVD法により酸化膜を500~600nmの厚さで形成した(図8(a))。

【0075】キャパシタ上部電極上およびビット線の上に、公知のフォトリソグラフィ法およびドライエッチング法によって、直径0.25μmのコンタクトホールを開口した。その後、DCマグネトロンスパッタリング法により、膜厚700nmのAl膜を形成した。公知のフォトリソグラフィ法およびドライエッチング法により、Alを加工し、第一金属配線83が形成される。

【0076】次に、第二層間絶縁膜82および第一金属配線83を被覆するように、拡散バリア膜84を形成する(図8(b))。拡散バリア膜は第1実施形態と同じ方法で形成した。

【0077】次に、第三の層間絶縁膜85として、有機シリコン化合物(テトラエトキシシラン $(\text{Si}(\text{OC}_2\text{H}_5)_4$ 、以下TEOS)とO₃を反応させた常圧CVD法あるいはTEOSとO₂を反応させたプラズマCVD法により、Si酸化膜を600~1000nmの厚さで形成した。その後、公知のフォトリソグラフィ法およびドライエッチング法によって、0.25μmのビアホールを開口した。その後、DCマグネトロンスパッタリング法により、膜厚700nmのAl膜を形成した。公知のフォトリソグラフィ法およびドライエッチング法により、Alを加工し、第二金属配線86を形成した(図8(c))。次に、第三層間絶縁膜85および第二金属配線86を被覆するように、拡散バリア膜87を形成する。拡散バリア膜は第1実施形態と同じ方法で形成した(図8(d))。

【0078】最後に、表面保護膜88として、公知のプ

10

20

30

40

50

ラズマCVD法によって、SiN膜を500nmの厚さで形成した。

【0079】このようにして作製されたメモリスルスの分極値は、印加電圧1Vにおいて $10\mu\text{C}/\text{cm}^2$ と良好な値が得られた。また、リーク電流についても、印加電圧±2Vまで、 $1\times 10^{-8}\text{A}/\text{cm}^2$ と良好であった。

【0080】なお、この実施の形態は、2層Al配線を適用した高誘電体メモリに用いたが、この発明はこれに限定されるものではなく、さらに多層Al配線について

【0081】また、この実施の形態においては、高誘電体膜としてBST(チタン酸バリウム・ストロンチウム、 $(\text{Ba}, \text{Sr})\text{TiO}_3$)薄膜を用いたが、この発明はこれに限定されるものではなく、タンタル酸化膜(Ta_2O_5)やSTO(チタン酸ストロンチウム SrTiO_3)等を用いたキャパシタに用いることも可能である。

【0082】さらに、この実施の形態においては、電極の材料としてPt薄膜を用い説明したが、この発明はこれに限定されるものではなく、PtRh、PtRh

【0083】(第4の実施形態)第1の実施形態および第2の実施形態の強誘電体メモリ素子、第3の実施形態の高誘電体メモリ素子において、金属配線の底部についても拡散バリア膜を形成してもよい。2層Al配線を用いたプレーナ型強誘電体メモリ素子に適用した実施形態について、図9および図10の製造工程図を用いて以下に説明する。

【0084】第1の実施形態と同様、選択トランジスタおよび強誘電体キャパシタおよび拡散バリア膜89を形成する(図9(a))。次に、第二層間絶縁膜90を形成した後、拡散バリア膜91を形成する(図9(b))。この拡散バリア膜として、Alの酸化物あるいはAlの窒化物をキャパシタ電極および強誘電体膜を被覆するように形成する。この拡散バリア膜は、Alの酸化物、Alの窒化物に限定するものでなく、Taの酸化物、Taの窒化物、Tiの酸化物、Zrの酸化物でも同様なバリア効果が得られる。

【0085】次に、トランジスタのソースおよびドレイン上に、公知のフォトリソグラフィ法およびドライエッチング法によって、拡散バリア膜/第二層間絶縁膜/拡散バリア膜/第一層間絶縁膜をエッチングして、直径 $0.8\mu\text{m}$ のコンタクトホールを開口する。また、キャパシタ上部電極上に、公知のフォトリソグラフィ法およびドライエッチング法によって、拡散バリア膜/第二層間絶縁膜/拡散バリア膜の三層をエッチングして、直径 $0.8\mu\text{m}$ のコンタクトホールを開口する。

【0086】その後、DCマグネトロンスパッタリング法により、膜厚700nmのAl膜を形成し、公知のフ

ォトリソグラフィ法およびドライエッチング法により、Alおよび拡散バリアを加工し、第一金属配線92が形成される(図9(c))。

【0087】次に、第1の実施形態と同様に、スパッタリング法で拡散バリア膜93を形成し(図10(a))、第三層間絶縁膜94を形成する。さらに、拡散バリア膜95を形成し(図10(b))、第一金属配線と第二金属配線を接続するために、公知のフォトリソグラフィ法およびドライエッチング法によって、拡散バリア膜/層間絶縁膜/拡散バリア膜の三層をエッチングして、直径 $0.8\mu\text{m}$ のビアホールを開口する。DCマグネトロンスパッタリング法により、膜厚700nmのAl膜を形成し、公知のフォトリソグラフィ法およびドライエッチング法によりAlをおよび拡散バリアを加工し、第二金属配線96が形成される。第1、第2実施形態と同様、スパッタリング法で拡散バリア膜97を形成し、最後に、表面保護膜98を形成し完成する(図10(c))。

【0088】(第5の実施形態)第1および第2の実施形態の強誘電体メモリ素子、第3の実施形態の高誘電体メモリ素子において、拡散バリア膜として、Al酸化物、Alの窒化物あるいはAlの酸化窒化物形成後に、電気炉で酸素もしくは窒素またはこれらの混合ガス雰囲気下で、温度 300°C 以上 450°C 以下、時間30分以上60分以下の処理を行う。成膜後は非晶質あるいは5nm以下のグレインサイズで構成された微結晶であり、熱処理によって、膜組成が安定な化学量論的組成比になると共に、膜の緻密性、絶縁性が向上し、良好な水素の拡散バリア性が得られた。拡散バリア膜はAlの酸化物、Alの窒化物に限定するものでなく、Taの酸化物、Taの窒化物、Tiの酸化物、Zrの酸化物でも同様なバリア効果が得られる。

【0089】これらの膜においても、形成後に前述の熱処理を行うことにより、拡散バリア性は著しく向上がみられた。拡散バリア膜の熱処理は全ての拡散バリア膜あるいは少なくとも一箇所以上の拡散バリア膜で熱処理を行うと水素による劣化が抑制できた。

【0090】この発明の強誘電体メモリ素子または高誘電体メモリ素子によれば、キャパシタ形成後および金属配線形成後に、膜厚が $10\sim 100\text{nm}$ の、Alの酸化物、Alの窒化物、Alの酸化窒化物、Taの酸化物、Taの酸化窒化物を形成し、酸素もしくは窒素またはこれらの混合ガス雰囲気下で、温度 $300\sim 450^\circ\text{C}$ 、時間30分以上60分以下の熱処理を行うことによって、高信頼性の強誘電体メモリー素子、または、高誘電体メモリー素子を形成することが可能となる。

【0091】(第6の実施形態)次に、図14～図17および図13を順に参照して、この発明の半導体素子の製造方法の実施形態を説明する。

【0092】まず、図14に示すように、素子分離4に囲まれた領域内にゲート電極2およびソース/ドレイン

3からなるMOS(Metal Oxide Semiconductor)トランジスタTが形成された半導体基板1上に、第1の層間絶縁膜5を形成する。

【0093】そして、この第1の層間絶縁膜5を、CMP(Chemical Mechanical Polishing)法により平坦化を行う。

【0094】次に、図15に示すように、この平坦化された第1の層間絶縁膜5上に密着層となる酸化チタン膜6を形成し、その酸化チタン膜6上に強誘電体キャパシタの下部電極となる白金膜7を形成する。この酸化チタン膜6と白金膜7は、それぞれ、公知のスパッタリング法にて成膜する。

【0095】その後、以下に示すスピコート法によって、強誘電体である $\text{SrBi}_2\text{Ta}_2\text{O}_9$ (以下、SBT)からなる強誘電体膜8を成膜する。すなわち、SBT構成元素が含まれた溶液(溶液の混合比; $\text{Sr}/\text{Bi}/\text{Ta}=8/22/20$)を、スピコートで1層50nm厚程度塗布し、250℃で5分間の乾燥工程を行った後、基板温度750~800℃で30分間の酸素雰囲気中での熱処理により結晶化を行う。

【0096】このスピコート法による工程を繰り返すことによって、所望の膜厚のSBT膜を得る。この実施形態では、この工程を4回繰り返し、200nmのSBT膜を形成した。続いて、上部電極となる白金膜9をスパッタリング法により成膜する。その後、公知のフォトリソグラフィ法とドライエッチング法を用いて、上部電極9、強誘電体膜8、下部電極7および密着層6を順次加工して、図15に示すような強誘電体キャパシタSCを形成する。この強誘電体キャパシタSCは、上部電極9と強誘電体膜8と下部電極7および密着層6からなる。

【0097】次に、図16に示すように、上記第1層間絶縁膜5および上記強誘電体キャパシタSC上に、酸化シリコン膜からなる第2の層間絶縁膜10をCVD法で成膜する。その後、この第2の層間絶縁膜10上に、水素バリア膜として酸化アルミニウム膜11を反応性RFSパッタリング法にて、20~300nmの膜厚に成膜する。

【0098】ここで、図21を参照して、この実施形態で使用した酸化アルミニウム膜11の水素バリア性を調べた結果を示す。図21の下段に示す曲線は、基板上に酸化アルミニウム膜が形成されていない状態の基板上では、基板温度の増加に伴って水素発生量が増大している様子を示している。これに対し、図21の上段に示す曲線は、上記基板上に酸化アルミニウム膜11を形成した状態では、この酸化アルミニウム膜上で計測された水素発生量を示す。この上段の曲線と下段の曲線を比較すれば、酸化アルミニウム膜11が、基板から発生する水素を、基板温度450℃程度まで、十分にバリアしていることを示している。つまり、この実施形態で使用した酸

化アルミニウム膜が水素バリア膜として機能していることがわかる。なお、上記酸化アルミニウム膜11の膜厚が20nm以下であると、水素バリア膜として十分に機能しなくなり、逆に、300nm以上の厚い膜になると、酸化アルミニウム膜が持つ応力が強誘電体キャパシタSCに悪影響を及ぼす。

【0099】この実施形態の場合、酸化アルミニウム膜11の膜厚を50nmとした。

【0100】次に、図17に示すように、MOSトランジスタTのソース/ドレイン3に通じるコンタクトホール12を、フォトリソグラフィ法とドライエッチング法を用いて、酸化アルミニウム膜11、第2層間絶縁膜5、第1層間絶縁膜10に形成する。その後、このコンタクトホール12の内壁に、チタン13および窒化チタン14を、バリアメタルとして、それぞれ50nm程度スパッタリング法にて順に成膜する。その後、コンタクトホール12内に、以下に示すCVD法によって、タングステンプラグ15を形成する。

【0101】このタングステンプラグ15の製造方法としては、まず、基板温度400℃程度に保持し、そこに、原料ガスとして WF_6 を導入し、還元ガスとして SiH_4 を導入し、これにより100nm以下の初期層を形成した後、還元ガスを SiH_4 から H_2 に変えてタングステンを成長させる。

【0102】この初期層は、 WF_6 と基板との反応を防ぐために、還元ガスとして SiH_4 を用いており、その反応の危険性が無くなった後、高成膜速度が得られる H_2 を還元ガスとして使用するのである。いずれの場合においても、大量の水素が導入されるか、もしくは発生することになる。

【0103】この実施形態では、高い水素バリア性を有する前述の水素バリア膜としての酸化アルミニウム膜11が、第2の層間絶縁膜10上に形成されているので、これらの水素がキャパシタSCにダメージを与えることなく、タングステンを成膜して、タングステンプラグ15を形成できる。

【0104】引き続き、コンタクトホール12内以外に存在するタングステンおよび窒化チタン、チタンを公知の技術であるエッチバック法で除去する。

【0105】その後、図13に示すように、酸化アルミニウム膜11および第2の層間絶縁膜10に、フォトリソグラフィ法およびドライエッチング法を用いて、強誘電体キャパシタSCの上部電極9へ連通するホール16を形成する。

【0106】その後、スパッタリング法、フォトリソグラフィ法およびドライエッチング法で、1層目の金属配線17を、ホール16内および酸化アルミニウム膜11上に形成し、目的とする半導体記憶素子を得る。

【0107】尚、上記実施形態では、金属酸化物誘電体膜からなる強誘電体膜8として、SBTを用いたが、S

$\text{rBi}_2(\text{Ta}, \text{Nb})_2\text{O}_9$ 、 $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ や、室温で常誘電性を示す $(\text{Ba}, \text{Sr})\text{TiO}_3$ などの材料を用いても、同様な効果が得られる。

【0108】また、強誘電体膜8の成膜方法として、スピンコート法を用いたが、スパッタリング法、真空蒸着法、MOCVD法などを用いてもよい。

【0109】さらに、上記実施形態では、導電性プラグとしてタングステンプラグ15を用いたが、導電性プラグとしては、タングステン以外に、水素還元を用いて形成する窒化チタンプラグを用いても同様な効果が得られる。

【0110】(第7の実施形態)次に、この発明の第7の実施形態としての半導体素子の製造方法を説明する。

【0111】この第7実施形態は、図13～図17を参照して説明した前述の第6実施形態を含有し、この第6実施形態に引き続いて、図18～図20に順に示す製造工程を有している。したがって、この第7実施形態では、前述の第6実施形態に引き続く工程を説明する。

【0112】図17から引き続き、図18に示すように、金属配線17および酸化アルミニウム膜11上に、CVD法およびエッチバック法で、第3の層間絶縁膜18を形成する。ここでのエッチバックは、第3の層間絶縁膜18の平坦化を目的としたものである。

【0113】次に、図18に示すように、水素バリア膜としての酸化アルミニウム膜19を、上記第3の層間絶縁膜18上に、反応性RFスパッタリング法にて、20～300nmの膜厚に成膜する。この酸化アルミニウム膜19の膜厚が20nm以下であると、水素バリア膜として十分に機能しなくなり、逆に300nm以上の厚い膜になると酸化アルミニウム膜19が持つ応力が強誘電体キャパシタSCに悪影響を及ぼす。

【0114】次に、図19に示すように、酸化アルミニウム膜19、第3の層間絶縁膜18に、1層目の金属配線層17に連通するビアホール20を、フォトリソグラフィ法とドライエッチング法を用いて形成する。その後、ビアホール20の内壁に、バリアメタルとしてのチタン21および窒化チタン22を、それぞれ、スパッタリング法にて50nm程度の膜厚に成膜する。その後、以下に示すCVD法によって、タングステンプラグ23をビアホール20内に形成する。

【0115】このタングステンプラグ23を形成するには、まず、基板温度を400℃程度に保持し、そこに原料ガスとして WF_6 を導入し、還元ガスとして SiH_4 を導入する。これにより、厚さ100nm以下の初期層を形成した後、還元ガスを SiH_4 から H_2 に変えて、タングステンを成長させる。

【0116】この初期層は、 WF_6 と1層目の金属配線層17との反応を防ぐために、還元ガスとして SiH_4 を用いており、その反応の危険性が無くなった後、高成膜速度が得られる H_2 を還元ガスとして使用する。いず

れの場合においても、大量の水素が導入されるか、もしくは発生するが、この実施形態では、高い水素バリア性を有する酸化アルミニウム膜19が形成されている。したがって、タングステンを成膜してタングステンプラグ23を形成する際に発生する水素に対して、酸化アルミニウム膜19が水素バリアとなり、キャパシタSCがダメージを受けるのを回避することができる。

【0117】次に、ビアホール20内以外に存在するタングステンおよび窒化チタン、チタンを、公知の技術であるエッチバック法で除去する。

【0118】次に、図20に示すように、2層目の金属配線24を、酸化アルミニウム膜19、タングステンプラグ23上に、スパッタリング法、フォトリソグラフィ法およびドライエッチング法で形成し、目的とする半導体記憶素子を得る。

【0119】図23に、この実施形態の製造工程によって形成された半導体記憶素子のキャパシタ特性を示す。この実施形態の製造工程で説明したように、大量に水素が発生するタングステンプラグプロセスを2度経た強誘電体キャパシタSCを有する半導体記憶素子においても、図23に示すように、強誘電体の性能を示す $2Pr$ (分極量)が $25\mu\text{C}/\text{cm}^2$ で、かつ、リーク電流密度も $10^{-7}\text{A}/\text{cm}^2$ 台と極めて良好な特性を有する半導体記憶素子となった。

【0120】以上のように、この実施形態によれば、金属酸化物誘電体を用いた半導体記憶素子において、大量の水素が導入されるタングステンなどの導電性プラグ形成でのキャパシタ特性の劣化を防止することができる。

【0121】尚、この実施形態では、金属酸化物誘電体膜からなる強誘電体膜として、SBTを用いたが、 $\text{SrBi}_2(\text{Ta}, \text{Nb})_2\text{O}_9$ 、 $(\text{Pb}, \text{La})(\text{Zr}, \text{Ti})\text{O}_3$ や室温で常誘電性を示す $(\text{Ba}, \text{Sr})\text{TiO}_3$ などの材料を用いても、同様な効果が得られる。

【0122】また、強誘電体膜8の成膜方法としては、スピンコート法を用いたが、スパッタリング法、真空蒸着法、MOCVD法などを用いてもよい。

【0123】さらに、この実施形態では、導電性プラグとしてタングステンプラグ15、23を用いたが、導電性プラグの材料として、タングステン以外に、水素還元を用いて形成する窒化チタンプラグを用いても同様な効果が得られる。

【0124】また、この実施形態では、2層の金属配線17、24を形成しているが、この発明の製造方法は、3層以上の多層金属配線層を有する半導体記憶素子を製造する方法にも適用することができる。

【0125】

【発明の効果】以上より明らかなように、この発明の半導体記憶素子は、誘電体キャパシタの上方に層間絶縁膜および金属配線が単層または多層で形成されてなる半導体記憶素子において、上記層間絶縁膜または金属配線の

少なくとも一方の上面または底面の少なくとも一方が、水素拡散バリア膜で被覆されている。したがって、この発明によれば、上記水素拡散バリア膜によって、層間絶縁膜や金属配線を形成する工程で発生する水素が上記誘電体キャパシタに浸入することを防げる。したがって、強誘電体膜あるいは高誘電体膜の劣化が生じず、強誘電体キャパシタの水素による劣化を防ぎ、特性の良好な強誘電体キャパシタを有する信頼性の高い半導体記憶素子となる。

【0126】また、ある実施形態では、上記水素拡散バリア膜は、Alの酸化物、Alの窒化物、Alの酸化窒化物、Taの酸化物、Taの窒化酸化物、Tiの酸化物、またはZrの酸化物である。また、ある実施形態では、上記水素拡散バリア膜は、Alの酸化物、Alの窒化物、Alの酸化窒化物、Taの酸化物、Taの窒化酸化物、Tiの酸化物、またはZrの酸化物であって、その膜厚が10nm以上100nm以下程度の、非晶質あるいはグレインサイズが5nm以下の微結晶のものである。

【0127】上記実施形態の半導体記憶素子によれば、上記構成の水素拡散バリア膜によって、層間絶縁膜や金属配線を形成する工程で発生する水素が上記誘電体キャパシタに浸入することを防げる。

【0128】さらに、ある実施形態の製造方法では、上記水素拡散バリア膜は、スパッタリング法を用い、基板温度25~400℃の範囲内で形成し、酸素、もしくは窒素、またはこれらのガスの混合雰囲気下で、300℃以上450℃以下、30分以上60分以下の熱処理を行う。また、CVD法で形成する場合は、基板温度を300℃以上450℃以下に加熱し、Al、Ta、TiまたはZrを含む有機金属原料を主原料に用いて、酸素、もしくは窒素、またはこれらのガスの混合ガスを反応室に導入し、圧力1Torr以上10Torr以下の雰囲気下で形成する。Ti、Taについては、これらの金属のハロゲン化合物TiCl₄、TaCl₅を主原料に用いてもよい。

【0129】また、一実施形態の半導体記憶素子では、水素バリア性を有し、上記導電性プラグに連なる水素バリア膜が、上記基板と上記金属配線との間の層間絶縁膜、または、上記多層の金属配線の間の層間絶縁膜の少なくとも一方の少なくとも一部を覆い、上記キャパシタ絶縁膜の少なくとも一部を覆っている。この水素バリア膜により、導電性プラグを形成する際に生成する水素が上記キャパシタ絶縁膜に浸入するのを防ぐことができる。したがって、水素によるキャパシタ絶縁膜の劣化を防ぎ、特性の良好なキャパシタ絶縁膜を有する信頼性の高い半導体記憶素子を提供できる。

【0130】また、一実施形態では、上記水素バリア膜が酸化アルミニウムからなるので、この酸化アルミニウムからなる膜を水素バリア性を有する水素バリア膜とし

て機能させることができる。

【0131】また、一実施形態では、上記導電性プラグがタングステンまたは窒化チタンからなるから、この導電性プラグを形成する際に水素が発生するが、この実施形態では、この発生した水素が上記キャパシタ絶縁膜に浸入するのを上記水素バリア膜でもって防止でき、上記水素によって上記金属酸化物誘電体膜からなるキャパシタ絶縁膜が還元されるのを防げる。

【0132】また、一実施形態の半導体記憶素子の製造方法では、誘電体キャパシタを覆う層間絶縁膜を形成した後、この層間絶縁膜上に、少なくとも一部が上記誘電体キャパシタを覆う水素バリア膜を形成するから、この水素バリア膜でもって、後の導電性プラグを埋設する工程で発生する水素が誘電体キャパシタに浸入するのを防げる。

【0133】また、一実施形態の半導体記憶素子の製造方法では、上記水素バリア膜が酸化アルミニウムからなるので、この酸化アルミニウムからなる膜を水素バリア性を有する水素バリア膜として機能させることができる。

【0134】また、一実施形態の半導体記憶素子の製造方法では、上記導電性プラグがタングステンまたは窒化チタンからなるから、この導電性プラグを形成する際に水素が発生するが、この実施形態では、この発生した水素が上記キャパシタ絶縁膜に浸入するのを上記水素バリア膜でもって防止でき、上記水素によって上記金属酸化物誘電体膜からなるキャパシタ絶縁膜が還元されるのを防げる。

【図面の簡単な説明】

【図1】 図1(a)~図1(d)はこの発明の第1の実施形態であるプレーナ型強誘電体メモリ素子の製造方法の前半を順に示す製造工程図である。

【図2】 図2(a)~図2(c)は上記第1実施形態の後半の工程を順に示す製造工程図である。

【図3】 金属配線および層間絶縁膜を水素拡散バリア膜で被覆しないで製造した強誘電体キャパシタのヒステリシス特性を示す図である。

【図4】 この発明の一実施形態の強誘電体キャパシタのヒステリシス特性を示す図である。

【図5】 図5(a)~図5(d)は、この発明の第2の実施形態であるスタック型強誘電体メモリ素子の製造方法の前半の工程を示す製造工程図である。

【図6】 図6(a)~図6(c)は、上記第2実施形態の後半の工程を示す製造工程図である。

【図7】 この発明の第3の実施形態であるスタック型高誘電体メモリ素子の製造方法を示す製造工程図である。

【図8】 この発明の第3の実施形態であるスタック型高誘電体メモリ素子の製造方法を示す製造工程図である。

【図9】 この発明の第4の実施形態であるプレーナ型強誘電体メモリ素子の製造方法を示す製造工程図である。

【図10】 この発明の第4の実施形態であるプレーナ型強誘電体メモリ素子の製造方法を示す製造工程図である。

【図11】 1層金属配線を適用したプレーナ型強誘電体メモリーセルの断面図である。

【図12】 2層金属配線を適用したプレーナ型強誘電体メモリーセルの断面図である。

【図13】 この発明の半導体記憶素子の製造方法の第6の実施形態の一つの段階を示す概略工程断面図である。

【図14】 上記第6の実施形態における半導体記憶素子の製造工程の第1の段階を示す概略工程断面図である。

【図15】 上記第6の実施形態における半導体記憶素子の製造工程の第2の段階を示す概略工程断面図である。

【図16】 上記第6の実施形態における半導体記憶素子の製造工程の第3の段階を示す概略工程断面図である。

【図17】 上記第6の実施形態における半導体記憶素子の製造工程の第4の段階を示す概略工程断面図である。

【図18】 この発明の第7の実施形態における半導体記憶素子の製造工程の第1の段階を示す概略工程断面図である。

【図19】 上記第7の実施形態における半導体記憶素子の製造工程の第2の段階を示す概略工程断面図である。

【図20】 上記第7の実施形態における半導体記憶素子の製造工程の第3の段階を示す概略工程断面図である。

【図21】 上記第6, 第7実施形態において作製された酸化アルミニウム膜の水素バリア性を示す特性図である。

【図22】 従来例における半導体記憶素子のヒステリシス特性を示す図である。

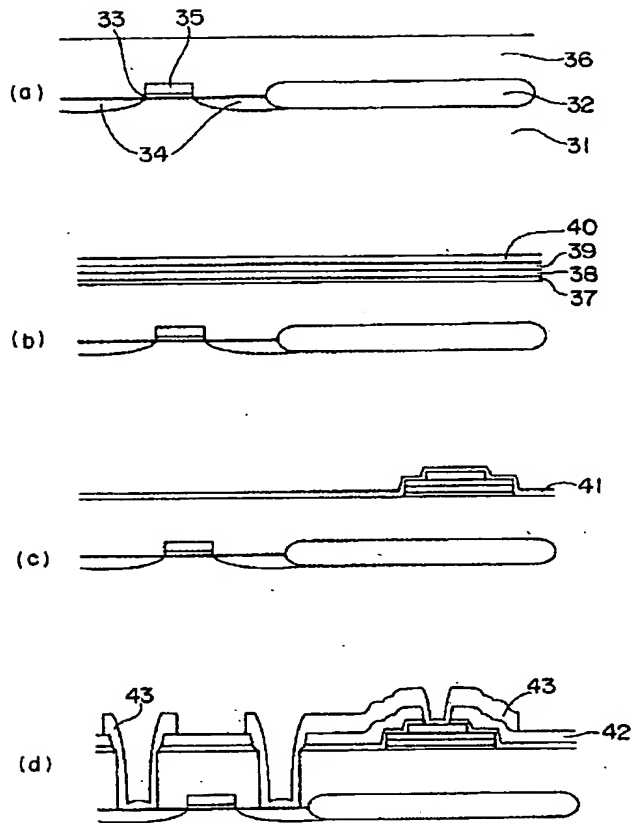
【図23】 この発明の上記第6, 第7実施形態における半導体記憶素子のヒステリシス特性を示す図である。

【符号の説明】

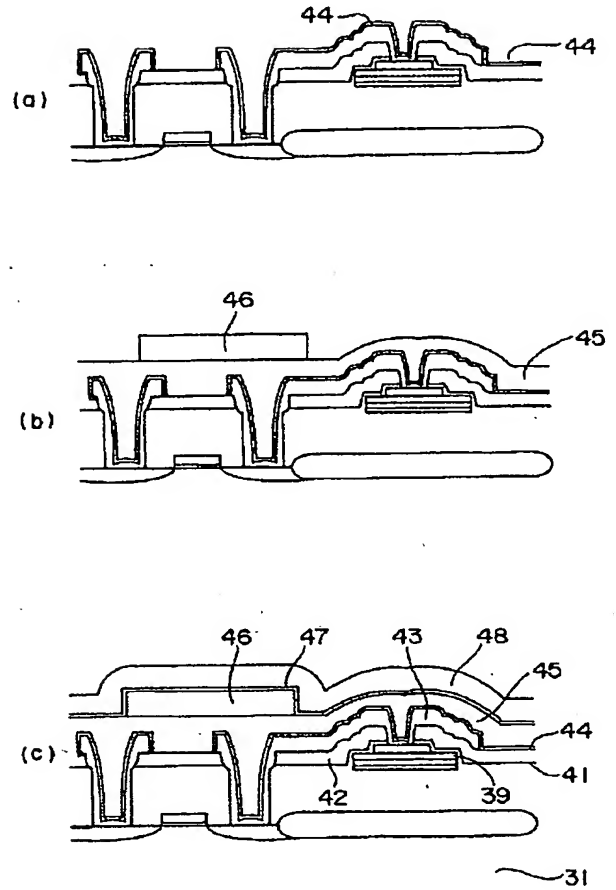
1…半導体基板、2…ゲート電極、3…ソース/ドレ

ン領域、4…素子分離領域、5…第1の層間絶縁膜、6…密着層である酸化チタン膜、7…下部電極である白金膜、8…強誘電体であるSBT膜、9…上部電極である白金膜、10…第2の層間絶縁膜、11…水素バリア膜である酸化アルミニウム膜、12…ソース/ドレイン領域へのコンタクトホール、13…チタン膜、14…窒化チタン膜、15…タングステンプラグ、16…上部電極へのコンタクトホール、17…第1の金属配線、18…第2の層間絶縁膜、19…水素バリア膜である酸化アルミニウム膜、20…第1の金属配線へのビアホール、21…チタン膜、22…窒化チタン膜、23…タングステンプラグ、24…第2の金属配線、31…シリコン基板、32…素子分離領域、33…選択トランジスタのゲート酸化膜、34…トランジスタのソース・ドレイン領域、35…ポリシリコンワード線、36…第1層間絶縁膜、37…密着層、38…Pt下部電極、39…強誘電体薄膜、40…Pt上部電極、41…拡散バリア膜、42…第2層間絶縁膜、43…第一金属配線、44…拡散バリア膜、45…第三層間絶縁膜、46…第二金属配線、47…拡散バリア膜、48…表面保護膜、49…シリコン基板、50…素子分離領域、51…選択トランジスタのゲート酸化膜、52…トランジスタのソース・ドレイン領域、53…ポリシリコンワード線、54…第一層間絶縁膜、55…ポリシリコンプラグ、56…TiN/Ti層、57…下部電極、58…強誘電体膜、59…Pt上部電極、60…拡散バリア膜、61…第二層間絶縁膜、62…第一金属配線、63…拡散バリア膜、64…第三層間絶縁膜、65…第二金属配線、66…拡散バリア膜、67…表面保護膜、68…シリコン基板、69…素子分離領域、70…選択トランジスタのゲート酸化膜、71…トランジスタのソース・ドレイン領域、72…ポリシリコンワード線、73…ビット線、74…第一層間絶縁膜、75…ポリシリコンプラグ、76…Ti層、77…TiN層、78…下部電極、79…高誘電体膜、80…Pt上部電極、81…拡散バリア膜、82…第二層間絶縁膜、83…第一金属配線、84…拡散バリア膜、85…第三層間絶縁膜、86…第二金属配線、87…拡散バリア膜、88…表面保護膜、89…拡散バリア膜、90…第2層間絶縁膜、91…拡散バリア膜、92…第一金属配線、93…拡散バリア膜、94…第三層間絶縁膜、95…拡散バリア膜、96…第二金属配線、97…拡散バリア膜、98…表面保護膜。

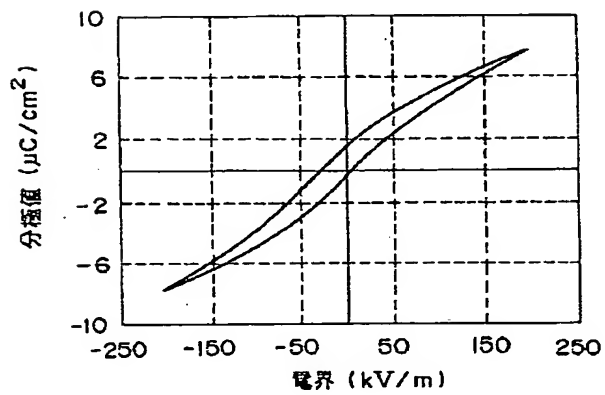
【図1】



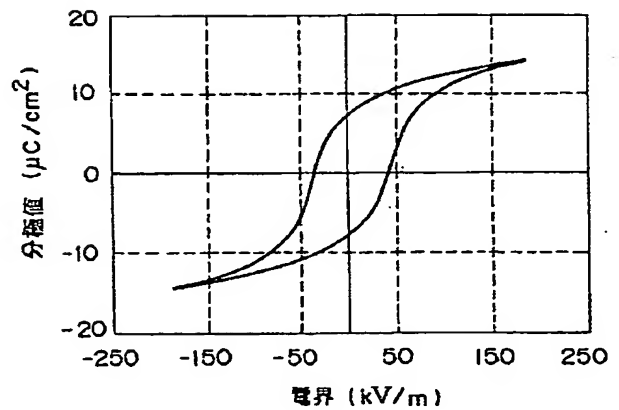
【図2】



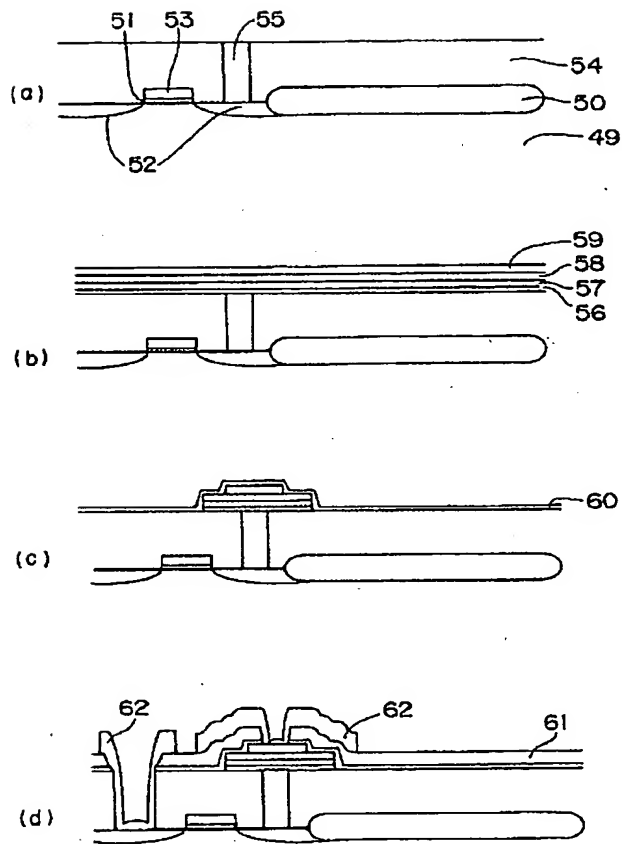
【図3】



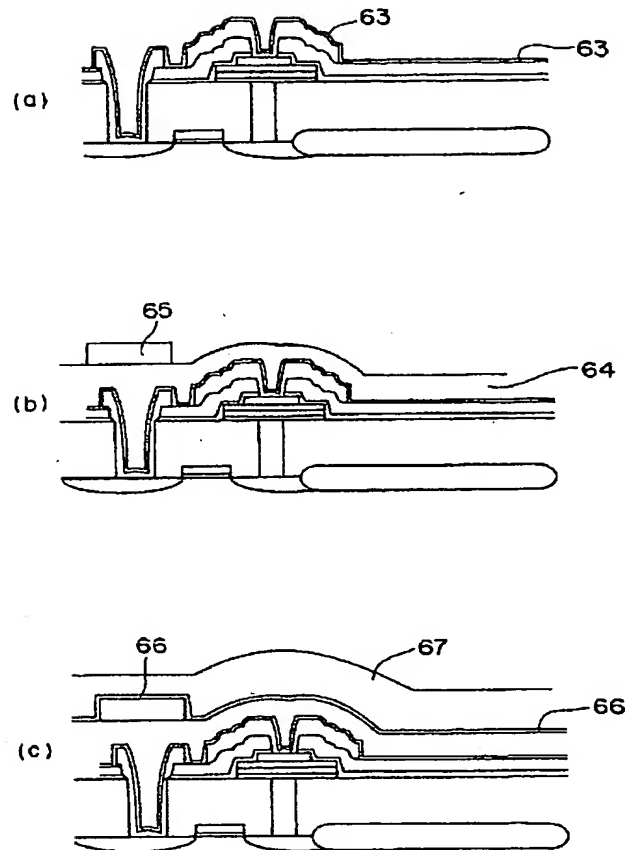
【図4】



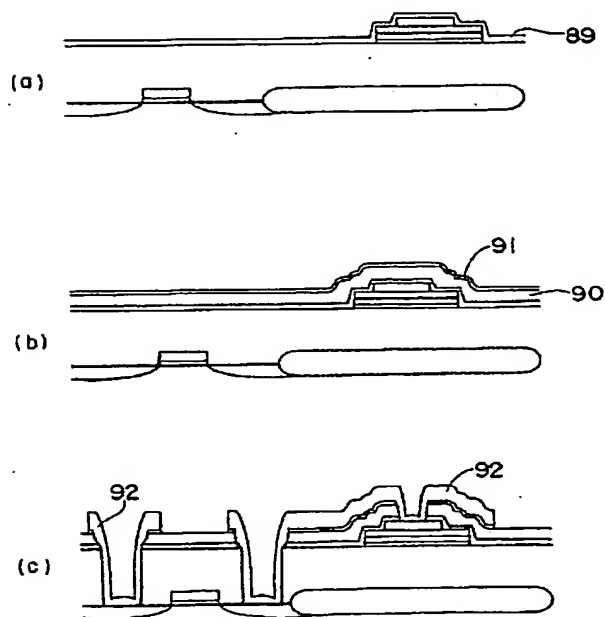
【図5】



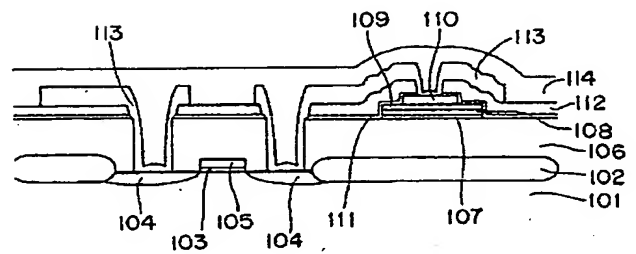
【図6】



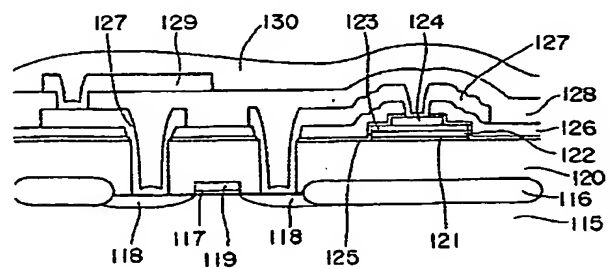
【図9】



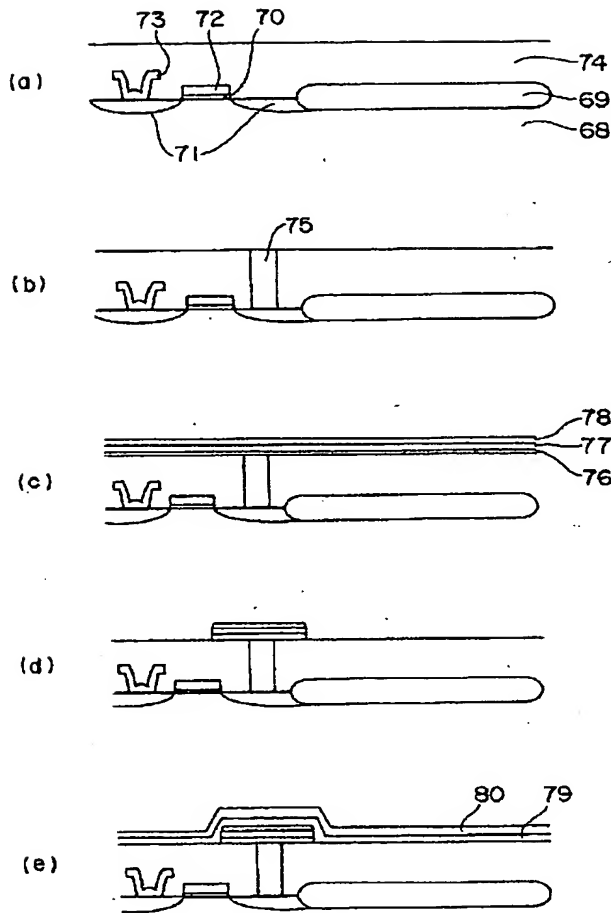
【図11】



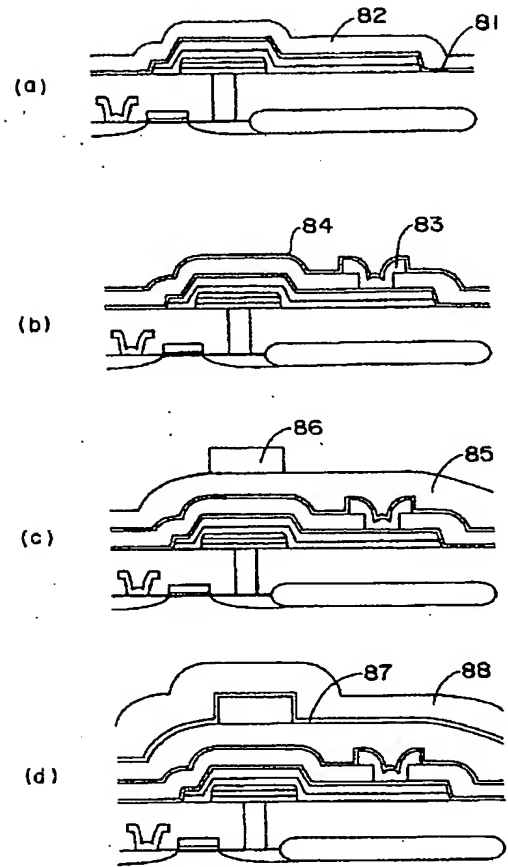
【図12】



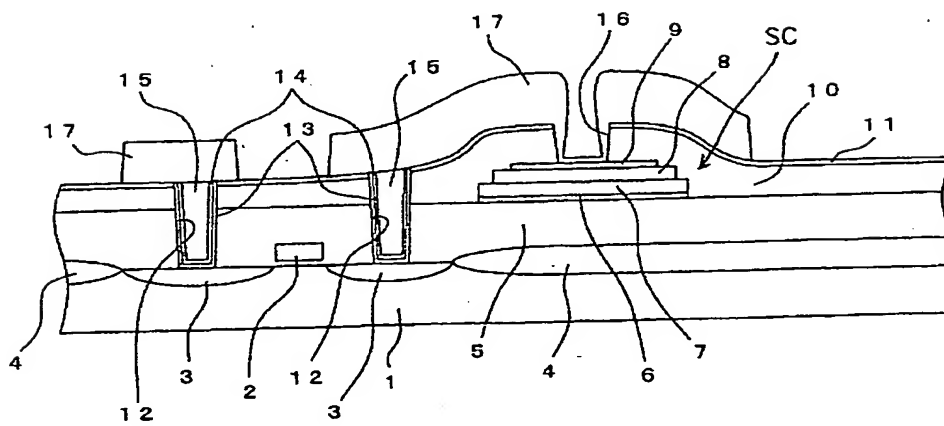
【図7】



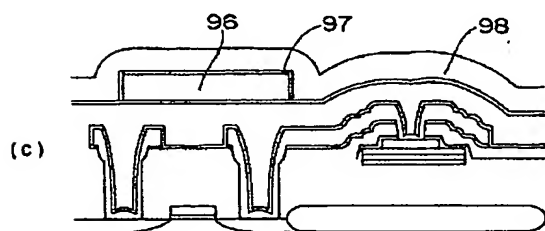
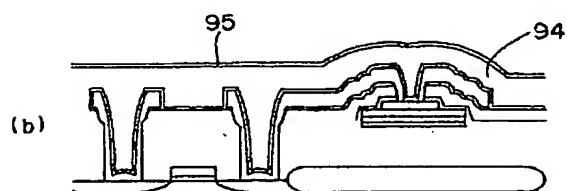
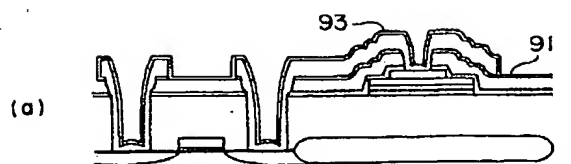
【図8】



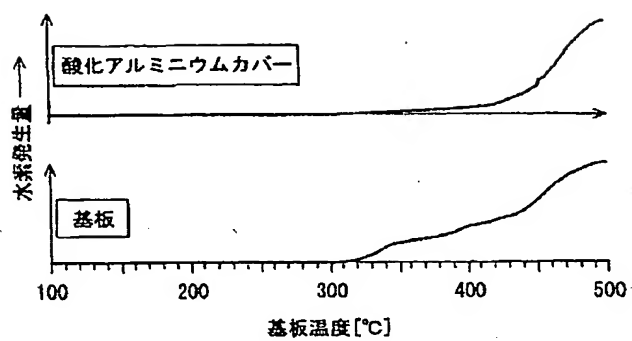
【図13】



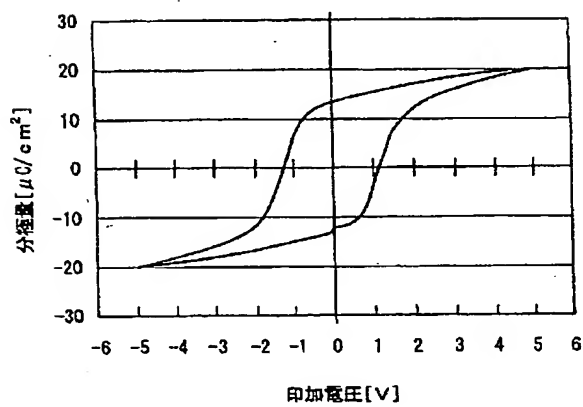
【図 10】



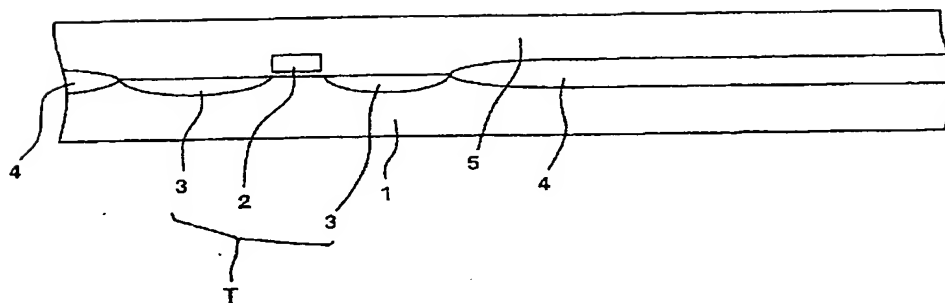
【图 2-1】



【図 2 3】



【図 14】



This diagram illustrates a cross-section of a complex, multi-layered device. The base is a substrate (1) with several horizontal layers (2, 3, 4, 5, 6, 7). A central vertical structure (SC) is shown, surrounded by various components (8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19). The top layer (19) is a curved, dome-like structure. The diagram is labeled with numerous numbers (1 through 19) and the letters SC, indicating different parts and layers of the assembly.

【図22】

